平成11年4月1日発行（毎月1回1日発行）第36巻　第4号　通巻 第415号

マイコン/メモリ/ディジタル/アナログ/電源/CAD…

エレクトロニクス用語辞典

I

トランジスタ技術 1999年4月号 別冊付録

CQ出版社

トラ技用語辞典プロジェクト

● 企画の主旨

トランジスタ技術（以下，トラ技）は，エレクトロニクス界の発展とともに，多くの電子系エンジニアやエレクトロニクス技術を探求する一般読者に愛読されてきました．

一方で，エレクトロニクスを学び始める人たちにとって，トラ技の内容は複雑・多様化した専門用語がならび，難解な印象をもつことと思います．

トラ技の記事には，学校の教科書には掲載されていないような，現場技術者たちが実戦で使う専門用語や業界関係者が使う用語などが多く使われていますから，難解で閉鎖的な印象を持つのも無理からぬことかもしれません．

このような状況に対し，今日的なエレクトロニクス用語辞典を望む声が読者から多数よせられています．この用語辞典プロジェクトは，これら読者の要望に応えるものです．

ただし，これで完璧というわけではありません．盛り込めなかった用語や，掲載にいたらなかった分類も多数あります．

これらについても盛り込むべく，今後も用語辞典を発展・充実していきたいと考えておりますので，今後ともトラ技のご愛読ならびにご鞭撻のほど，よろしくお願い申しあげます．

● 謝辞

用語辞典の編纂にあたり，用語の抽出や整理にご協力いただいた尾花一郎氏，説明を引用させていただいた原典の各著者，ならびに用語解説をご執筆いただいた筆者各位に謝意を表します．　〈編集部〉

● お断り

本書はお気付きの方も多いと思いますが，1997年「トランジスタ技術」4月号特集として編集しました「エレクトロニクス用語辞典」のリメイク版です．

フレッシャーズのために身近に使えるポケット・サイズ用語辞典として用意したものです．

擦り切れるまでご活用いただければ幸いです．

マイコン/メモリ/ディジタル/アナログ/電源/CAD…
エレクトロニクス用語辞典
I
FORK OSCILLATOR
AC SOLID STATE RELAY
A5P-102
JEL SYSTEM CO.,LTD.

エレクトロニクス用語辞典 I　目次

索引　エレクトロニクス用語辞典 I

【あ・ア】

【か・カ】

【さ・サ】

【た・タ】

【な・ナ】

【は・ハ】

【ま・マ】

表紙撮影／(株)コア
イラスト／神崎真理子

本書の使い方

編集部

● 見出し語の選定

おもにトラ技で使われる用語から選び出してあります．一部は各社の商品名や商標です．

見出し語は，およそ内容的に関連のある項目ごとにまとめてあり，順不同です．五十音順やアルファベット順の検索は，索引ページをご利用ください．同じ見出し語であっても，異なる分野では違う意味で使われることがあります．このような見出し語は，別の章にも重複して登場します．

● 凡例

・同義語　［同］→ CPU
・参考　［参］→ワンチップ・マイコン
・対語　［対］→ CISC

トラ技を読むためのプラス＋1

● Kとk

トラ技では，10の3乗（1000）を表すのに小文字のkを，2の10乗（1024）を表すのに大文字のKを使って表記しています．

すなわち1024バイト＝1Kバイトです．例えば128Kバイト＝131072バイト≒131kバイトなのです．

ISO（国際標準化機構）では，1000を表す接頭語として小文字のkを使うことを定めています．大文字のKはコンピュータ界で1024を表すのに慣用的に使われてきた接頭語です．

● KB，Kバイト，kbps

単位記号としてKBと書くと，KバイトなのかKビットなのか，混同しがちです．トラ技ではKBという表記は，特記のない限り使いません．「Kバイト」または「Kビット」と表記してあります．

データ転送レート150KBPSなどと書いてあると，毎秒150000バイトか，毎秒153600バイトか，毎秒150000ビットか，はたまた毎秒153600ビットなのか，なんともあやふやです．

バイトの意味で大文字Bを，ビットの意味で小文字のbを使うんだと言う人がいますが，Bやbの1文字ではなく，ビット，バイトと表記したほうが，無用なトラブルをさけられると思います．

kbpsは1000bits/secondの意味で使用することがあります．

● ハイ・レベル，ロー・レベル

ディジタルICのロジック・レベルは次のように表記しています．

(1) "H"またはHレベル，表中ではH．
(2) "L"またはLレベル，表中ではL．

● ロー・アクティブの信号の表記方法

基本的には上線で表示しています．ただし，HDLのソース・リストなどを版下として流用しているときは，それにあわせてスラッシュやハイフンを使うこともあります．

(1) $\overline{\mathrm{CE}}$ (2) /CE (3) －CE (4) #CE

● ～(波ダッシュ)

～は，範囲を表すために使っています．50～54MHzのようにです．単位記号の接頭語が紛らわしいときは，「1.9M～1.2GHz」のように表記します．

● -(ハイフン)と－(マイナス)

toの意味で-(ハイフン)を使っています．A-DコンバータはA to Dコンバータの意味，p-pはpeak to peakの意味です．

マイナスは極性を表したり，数式の演算子として使っています．

● /(スラッシュ)

/は除算記号として使うほか，区切りを表すのに使っています．たとえば，「AD736CP/CM：450/550円」は，AD736CPが450円，AD736CMが550円であることを意味します．

単語の区切りや音節を表すのに慣例的に使うこともあります．たとえばI/FはInterfaceの意味です．

● ms/div., V/div., MHz/div., dB/div.

オシロスコープの画面表示は，横軸が時間軸，縦軸が電圧軸です．画面は横10分割，縦8分割程度に分割されています．分割された格子の1マスが，1divisionです．時間軸は5ms/div.，電圧軸は2V/div.のように表します．

スペクトラム・アナライザの画面は周波数軸を5MHz/div.，dB軸を10dB/div.のように表します．

● dB (deci Bel，デシベル，デー・ビィ)

電圧，電流，電力，圧力，エネルギ密度などにおいて，相対的な力の比を求めるときに使う単位です．

これは電力や圧力などが人間には対数的に感じるところからきています．電話の発明者といわれるアレクサンダー・グラハム・ベルの名前にちなみます．小文字のdは10分の1を表す接頭語です．

二つの電力をそれぞれP_1，P_2とすると，

$$N[\mathrm{dB}] = 10\log(P_1/P_2)$$

で表されます．

電圧や電流の場合は，

$$N[\mathrm{dB}] = 20\log(V_1/V_2)$$

で表されます．

● dB/oct., dB/dec. (dB per octave，dB per decade)

1オクターブとは周波数比が2倍，1ディケードは周波数比が10倍のことです．

たとえば－6dB/oct.といえば，周波数が2倍になるごとに6dBずつレベルが下がることを意味します．

第1章

汎用マイコン，汎用CPU，周辺IC

マイコン＆CPUの基礎用語

渕上賢二／宇仁茂義

マイコン/CPU

● **CPU** (1) (Central Processing Unit)

中央演算処理装置．データの処理，制御，判断などをつかさどるコンピュータの中枢部分である．CPUを1個のLSIで構成したものをマイクロプロセッサという．

最初のマイクロプロセッサはインテル社で1971年に4004を中心とする4個のLSIチップ・セットからなる4ビット・マイコン・システムMCS-4として誕生した．

ふつう「マイコン」という場合，マイクロコンピュータ，マイクロコンピュータ応用システムの両者を含むことがある．

● **MPU** (Micro Processing Unit)

［同］→ CPU

● **マイクロプロセッサ** (microprocessor)

［同］→ CPU

● **マルチCPU** (1) (multiprocessor system)

複数のCPUで設計されたコンピュータ・システム．

小規模のコンピュータでは，単一のCPUですべての処理を行うが，処理内容が複雑化すると，単一のCPUでは十分な速度で処理を実行することが困難になる．その対策の一つがマルチCPUである．

マルチCPUシステムでは，たとえば一連の処理はその目的別にいくつかの処理に分けられる．各処理に一つのCPUを割り当てると，それぞれのCPUは割り当てられた処理だけを行えばよく，単一のCPUですべての処理を行う場合にくらべて処理速度が向上する．

しかし，CPU間の処理速度がまちまちだと処理全体で見たときに不都合が起きる場合があるので，各CPU間の処理速度のバランスをとるために新たに別のCPUを使用することがある．

● **CISC** (1) (Complex Instruction Set Computer)

［対］→ RISC

高級言語を使ってプログラミングできるように，高級言語の1ステートメントを1命令で実行するようにしたコンピュータである．命令の種類，数が多く，ハードウェアは複雑である．

CISCのなかでも，最上位に位置するのがインテル社のi80386とモトローラ社のMC68030であり，また，RISCアーキテクチャに対抗するものとして命令実行の高速化を図ったインテル社のi486，Pentium，モトローラ社のMC68040がある．

● **RISC**[1]　(Reduced Instruction Set Computer)

［対］→CISC

CISCが1命令で，アドレス計算，データ転送などの複数の動作を行うのに対して，命令の単純化を行い，1命令を1マシン・サイクルとし，これらの単純命令をパイプラインによって実行することにより，高速性能を実現したコンピュータ．

RISCは，1命令をより速くするために工夫されたアーキテクチャである．これを実現するために，RISCではマイクロプログラム方式を使わず，キャッシュ・メモリを内蔵し，レジスタ・ファイルを増やして，メモリ・アクセスの回数を減らしている．

またCISCが高級言語をハードウェアで実現しているのに対して，RISCはソフトウェアで実現しなければならない．しかし，そのぶんハードウェアはCISCにくらべて単純である．

● **ワンチップ・マイコン**[1]　(one-chip microcomputer)

CPUだけでなく，ROMやRAMなどのメモリ，入出力ポート，通信ポート，タイマ，LCDドライバ，MMU，DMAC，A-Dコンバータなどの周辺機能までを1チップ上に集積したマイクロコンピュータを指す(**図1-1**)．

メーカ，機能などにより，非常に多くの種類がある．機器組み込み用，マルチCPUシステムのスレーブ・プロセッサなどに活用されている．

● **MCU**　(Micro Controller Unit)

［同］→ワンチップ・マイコン

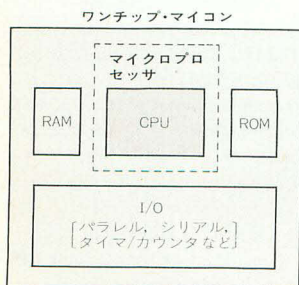
● **マイクロコントローラ**　(microcontroller)

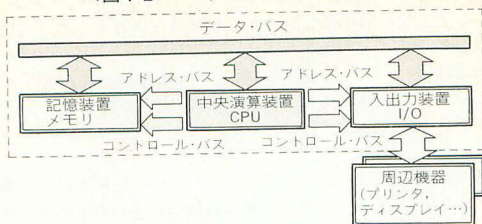
［同］→ワンチップ・マイコン．

● **マイコン**

［参］→ワンチップ・マイコン，CPU

● **ノイマン・アーキテクチャ**[1]　(Neuman architecture)

ノイマン・アーキテクチャとは，ノイマン(J. Von Neuman)によって

〈図1-1〉
ワンチップ・マイコンとマイクロプロセッサの違い

〈図1-2〉 ノイマン・アーキテクチャ

1945年に提唱された電子計算機の基本構成である.

ノイマン・アーキテクチャの前は,計算機を動かす命令を,紙カードや紙テープまたは電気配線から読み取って計算を実行していた.

それに対して,計算機の中の記憶装置に命令を蓄積しておいて,そこから順次1命令ずつ読み取って,自動的に計算を実行していくものである.

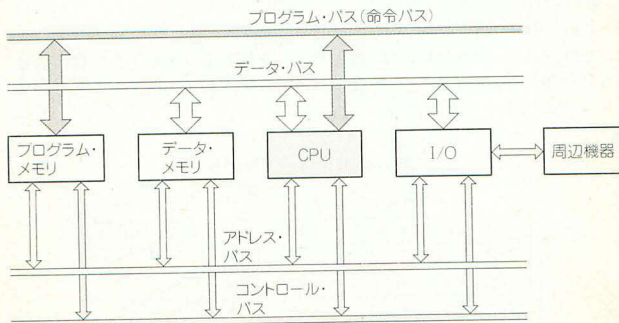
現在のマイクロコンピュータは,基本的にはすべてこの方式によっている.

計算機の基本構成は,**図1-2**のようにデータの入出力を行う入出力装置,データやプログラムの記憶を行う記憶装置,記憶されているプログラムやデータに対する演算や処理を実行する中央演算処理装置のハードウェアである.これらの装置はバスと呼ばれる信号線によって結線されている.

● **ハーバード・アーキテクチャ**[1] (Harvard architecture)

データ・バスと命令バスを分離したアーキテクチャ(**図1-3**).

一般に使用されているマイコン・システムは,データ・バスと命令バスが共通のバスである.なぜなら,命令とデータがいずれもメモリに記憶されているためである.このためデータ・バスは頻繁にアクセスされ,システムの性能がデータ・バスのアクセス・スピードで決まってしまう.これをフォン・ノイマン・ボトルネックという.

〈図1-3〉 ハーバード・アーキテクチャ

ハーバード・アーキテクチャは，データ・バスと命令バスをそれぞれ専用にもつことで，このボトルネックを解消しようとしたアーキテクチャである．

● **ダイナミック・バス・サイジング**[1]　(dynamic bus sizing)

外部データ・バスの幅をCPUのバス幅に固定するのではなく，アクセスするデバイスに応じて，データ・バスのサイズを動的に可変する機能をいう．

例えば，32ビットCPUは，外部とデータをやりとりするバス幅は32ビットであるが，マイクロプロセッサに接続される外部デバイスのデータ・バスは8, 16, 32ビット幅などの異なるものがある．CPUはバス・サイクルごとに転送の相手によってバス幅を動的に切り替え，データを送り出したり受け取ったりすることができる．

バス幅の選択は，転送相手のメモリや周辺装置が自分のバス幅をCPUに伝えることにより行われる．この機能により，メイン・メモリは32ビット，I/O領域は8ビット，16ビットCPUとのインターフェースは16ビットといった構成をとることができる．

システムを強力かつ柔軟にできるだけでなく，32ビットCPUを16ビットまたは8ビット・システムの中で走る高性能CPUとして使うこともできる．

● **パイプライン**[1]　(pipeline)

命令の処理能力を上げるための手段として，命令実行のサイクル時間を短縮化する方法に加え，パイプライン制御による命令の実行がある．

プロセッサの内部動作を**図1-4**のように機能ブロックの動作ステージに分割し，各ステージが互いに独立に動作するように構成する．各ブロックは入力を処理して次のステージのブロックへ結果を渡す．

したがって，各ステージは並列に処理を実行し，命令がオーバーラップして実行されている．一つの命令実行時間は長くても，出口のブロックをみると短時間に命令が次々に処理されてくる．これをパイプライン制御という．**図1-4**はプロセッサの内部動作を4ステージに分割した場合のパイプライン処理の概要を示している．

● **マイクロプログラム**[1]　(micro-program)

[参]→ワイヤード・ロジック

CPU内部の動作を制御する方法．

CPU内部の動作の制御は，命令コードを解釈し，さまざまな制御信号を作り出し，これらによって内部のゲート，フリップフロップなどを制御することによって行われる．

〈図1-4〉[1]　**パイプライン**

時間 →

ステージ ↓						
命令フェッチ	命令1	命令2	命令3	命令4	命令5	命令6
データ・リード	—					
演算	—	—				
データ・ライト	—	—	—			

これらのゲートを制御するために,内部動作を小さな命令と考え,命令コードをこれらの小さな命令(マイクロプログラム)をプログラムすることで実現する制御方法がマイクロプログラム制御である.

マイクロプログラム制御は,複雑な制御を比較的容易に実現できるため,近年のマイコンの制御は,ほとんどこの方法を採用している.

● **ワイヤード・ロジック**[1]　(wired logic)

[参]→マイクロプログラム

CPU内部の動作を制御する方法.

命令コードをデコードし,その結果から制御信号を作り出すのがワイヤード・ロジック制御である.

この制御方法は,複雑な制御をするにはあまり向いていないが,制御信号を1本1本制御できるため,高速で,きめ細かい制御ができることが特徴である.

● **マイクロコード**　(microcode)

[参]→マイクロプログラム

● **インストラクション・セット**　(instruction set)

[同]→命令セット

● **命令セット**　(instruction set)

CPUやマイコンの命令のセット,またはそれら全体を指す.

マイコン周辺

● **ポート**[1]　(port)

マイコン・システムでデータを入出力する回路をポート(港の意味)と呼ぶ.

I/O機器などとのインターフェースに使用される.

一般にポートは,メモリにくらべアクセス速度が遅く,アクセスする時間が長い.

● **ウォッチドッグ・タイマ**[1]　(watchdog timer)

ウォッチドッグとは,番犬の意味である.すなわち,ウォッチドッグ・タイマとは,マイコンが正常に動作しているか否かをチェックし,異常動作を検出した場合には,異常の発生をCPUに知らせるため,直ちにCPUに割り込みをかける回路である.

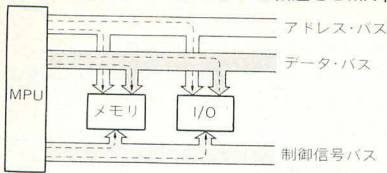
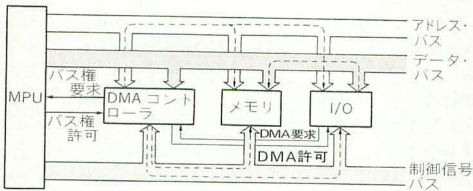
マイコンの異常としては,いろいろな動作が考えられるが,マイコン・システムの正規の動作ステップが異常となる現象は暴走といわれ,マイコンがプログラムされたとおりに動作できない状態をいう.これは,プログラムの実行を定めているプログラム・カウンタがなんらかの原因で異常となり,正規のプログラム・エリア外をアクセスするときに生じる.

マイクロコンピュータの動作ステップやシステムの状態をモニタし,システムの正常動作をチェックするのがウォッチドッグ・タイマの目的である.

● **WDT**

[同]→ウォッチドッグ・タイマ

● **COPタイマ**　(CPU Operating Properly Timer)

〈図1-5〉[1] プログラム転送とDMA転送

(a) プログラム転送の場合〔I/O→メモリ転送の例〕

(b) DMAによる入出力

[同]→ウォッチドッグ・タイマ

● **DMA**[1] (Direct Memory Access)

CPUを介さずに,I/O機器とメモリ間でバスを通じて直接データをやりとりする方式である.CPUのオーバヘッドを伴わずに,高速・大容量のデータ転送が可能となる.

プログラム転送方式とDMA方式の違いを**図1-5**に示す.

この方式はソフトウェア転送とは異なり,ハードウェアによるI/O-メモリ間のデータ転送である.CPUとデータ・バスの使用権の制御はDMAコントローラが行う.DMA要求がでると,DMAコントローラはCPUに対してバスの解放を要求する.CPUがバスを解放できる場合は,バス使用の許可信号を出すとともに,バスをハイ・インピーダンス状態にする.この状態でI/Oとメモリ間の直接データ転送が可能になる.

DMAコントローラは,転送すべきアドレスをアドレス・バスに出力し,I/Oデバイスはデータ・バスにデータを出力する.

データ転送が終了すると,DMAコントローラは再びバスの使用権をCPUに返還する.データ転送の方向は,メモリ→I/Oやメモリ→メモリも可能である.

● **MMU**[1] (Memory Management Unit)

メモリ管理デバイスである.CPUがメモリをアクセスする場合は,命令コードの読み出しとデータの読み出し/書き込みの2種類に大別できる.ところが,プログラムのミスや,ノイズによるCPUの暴走などのためにメモリを正常にアクセスしない場合がある.

MMUはメモリ空間を命令コード領域,データ領域などに分割し,該当する領域に異常なアクセス(例えば命令コード領域にデータを書こうとする)をした場合,割り込みを発生し,CPUに異常なアクセスであること

を知らせる．このようにMMUは，メモリへのアクセス状態を常に監視し，異常なアクセスによるデータの破壊からメモリを保護している．

また，論理アドレス(CPUが命令実行に使用するアドレス)と物理アドレス(実際にシステムが使用するアドレス)とに違いがあるとき，両者の間でアドレスを変換する．

● 割り込み[1]　(interrupt)

割り込みとは，CPUのプログラム処理中に割り込みを要求することにより，そのプログラム処理を中断し，割り込み処理プログラムを実行することである．

割り込みは一般に命令実行サイクルの最後のサイクルで受け付けられて，その命令の終わりで割り込み処理プログラムへジャンプする．このとき，プログラム・カウンタの値は，スタックへ退避され，割り込み処理プログラムの実行後，再びプログラム・カウンタへ読み出される．

● 割り込みコントローラ[1]　(interrupt controller)

[参]→PIC

割り込みコントローラはCPUと周辺装置との間にたち，周辺装置からの割り込み要求をそのプライオリティ(優先度)やマスク状態から判断し，CPUに割り込み要求信号を発生させるものである．

代表的な割り込みコントローラLSIにはインテル社のi8259があり，8ビットCPUのi8080AからPentiumにわたって使われている．

● I/O　(Input Output)

入力と出力の両方，または入出力の意味である．一般に周辺装置などとのインターフェース部分などを指す．

● I/Oポート　(Input/Output port，アイ・オー・ポート)

入力ポートや出力ポートの総称．または，入力と出力が兼用のポート．

● メモリ・マップ　(memory map)

メモリの割り当てや使用状況を示す図．プログラムやデータは，メモリのそれぞれ指定された領域に割り当てられることが普通である．

● I/F　(Interface)

[同]→インターフェース

● インターフェース　(interface)

接続点または接続のためのハードウェアなどの総称．CPUと周辺機器を接続するもの(たとえばプリンタ・インターフェース)，人と機械を接続するもの(マン-マシン・インターフェース，ヒューマン・インターフェース)など．

● I/Oマップ　(I/O map)

I/O機器をメモリ空間やI/O空間にどのように割り当てたかを表す図．

● I/Oマップド I/O　(I/O mapped I/O)

I/Oアドレス空間にI/Oデバイスを割り当てる方法．8ビットCPUなどではプログラム・メモリ空間が狭いので，メモリ・マップドI/Oと比べて，メモリ空間を広く確保することができる．

● メモリ・マップド I/O　(memory mapped I/O)

I/Oアドレス空間をもたず，プログラム・メモリやデータ・メモリと

同じアドレス空間にI/Oデバイスを割り当てる方法．I/Oデバイスをメモリなどと同じように扱うことができる．

● **PPI** (Programmable Peripheral Interface)

インテル社の汎用パラレル・インターフェースLSIのi8255A，またはその同等品をいう．

● **UPI** (Universal Peripheral Interface)

インテル社の汎用スレーブ・マイコンLSIのUPI-41，UPI-42．

● **PIA** (Programmable Interface Adapter)

モトローラ社の汎用パラレル・インターフェースLSIのMC6821またはその同等品をいう．

● **PIO** (Parallel Input/Output)

パラレル入出力．狭義ではザイログ社の汎用パラレル・インターフェースLSIのZ80PIOを指す．

● **UART** (Universal Asynchronous Receiver Transmitter)

非同期シリアル・インターフェースLSI．狭義ではウェスタン・ディジタル社のTR1602A，ナショナルセミコンダクター社のINS8250，NS16450，PC16550などを指す．

● **USART** (Universal Synchronous Asynchronous Receiver Transmitter)

同期/非同期シリアル・インターフェースLSI．狭義では，インテル社i8251Aを指す．

● **SIO** (Serial Input/Output)

シリアル入出力をいう．狭義ではザイログ社の汎用シリアル・インターフェースLSIのZ80SIOを指す．

● **SIO** (System I/O)

システム入出力．

● **PIT** (Programmable Interval Timer)

インテル社の汎用タイマまたはその同等品を指す．i8253，i8254などがある．

● **CTC** (Counter Timer Circuit)

ザイログ社の汎用カウンタ/タイマ・インターフェースLSIのZ80CTCを指す．

● **PIC** (Programmable Interrupt Controller)

[参]→割り込みコントローラ

インテル社の割り込みコントローラLSIのi8259Aを指す．

● **PIC**

マイクロチップ・テクノロジー社のワンチップ・マイコンPICシリーズを指す．

● **DMAC** (Direct Memory Access Controller)

[参]→DMA

DMAコントローラLSI．たとえばインテル社のi8237Aなど．

● **RTC** (Real Time Clock)

現在の時刻，年月日をデータとして出力する時計LSI．

● **FDC** (Floppy Disk Controller)

フロッピ・ディスク・コントローラ．

● **HDC** (Hard Disk Controller)
ハード・ディスク・コントローラ.

マイコン関連

● **ICE**[1] (In Circuit Emulator, アイス)
マイクロコンピュータ・システムを開発する際に使う,開発支援装置,いわゆるデバッガである.開発しようとするCPUや,プログラム・メモリを代行し,プログラムおよびハードウェアのデバッグを効率よく行うためのものである.

ICEには,実際の時間で実行状態を確かめるリアル・タイム・トレース機能,任意のアドレスで実行を止めるブレーク機能,シングル・ステップ機能,レジスタへのデータの設定などの機能が用意されている.

また,開発したプログラムをシステム上のメモリの代わりにICEのもつメモリ上に置き,プログラムの確認が行えるマッピング・メモリ機能をもっている.このため,開発したプログラムを,インサーキット・エミュレータ+ターゲット・システム上で実行させながら,プログラムおよびハードウェアのデバッグができ,効率のよいデバッグ作業が可能となる.

ICEは,通常ホスト・コンピュータによりコントロールされて機能する.

ICE(アイス)はインテル社の登録商標である.

● **イン・サーキット・エミュレータ**
[同]→ICE

● **マルチタスク**[1] (multi-task)
タスクとは,コンピュータ・システムにおいて実行可能な最小単位の仕事のことで,ひとつの計算機の中で,複数のタスクが同時に処理されていることをマルチタスク処理という.これには,複数のCPUによるマルチプロセッサとして行う場合と,一つのCPUでもOSの管理によって時間をずらしたり,割り込みなどによって切り替えて,みかけ上同時に処理されているようにする場合がある.

マイクロプロセッサでは,マルチタスクを行うことによって,入出力装置や応答時間の遅いタスクの待ち時間を別のタスクに割り当て,計算機の仕事量を向上させている.

● **モニタ・プログラム**[2] (monitor program)
OSやファームウェアの機能の一部として,コンピュータの実行を監視できるようにしたプログラム.小規模システムでは,OSと同義語として使われる.

メモリ・ダンプ,プログラムのロード,実行,ブレークなどの機能をもつ.組み込みシステムにおいて,これらの機能はユーザにとって必要なものとはいえないが,デバッグや故障チェック時にモニタ・プログラムを組んであると便利なことが多い.

● **ファームウェア**[1] (firmware)
制御機器やコンピュータなどにおいて,ほかの情報により決められた

動作を行うようにハードウェアと一緒に組まれたソフトウェア.ハードウェアと一体になっていて容易に変更できないが,実体はソフトウェアであり,両者の中間に位置するため,ファームウェアという.

● **MIPS**[1]　(Million Instructions Per Second)

コンピュータ処理速度の性能指標.1MIPSとは1秒間に100万回のインストラクション(命令)を実行するという意味である.

● **デバッグ**[1]　(debug)

プログラムの中の誤り(バグ)を見つけて修正することをいう.普通,プログラムを作成したときには必ずバグがあるはずだから,このデバッグを効率よく行うことが重要となる.

デバッグには机上デバッグとマシン・デバッグがある.机上デバッグは,プログラム・リストや,フローチャートにより,動作を検査していくものであり,マシン・デバッグはコンピュータによりシミュレーションなどを行い,各命令の動作順序や,レジスタ,メモリの内容を調べ,これをもとに修正していくものである.インサーキット・エミュレータ(ICE)を使ってプログラムの動作チェックを行うこともマシン・デバッグの一つである.

● **BASIC言語**[1]　(Beginner's All Purpose Symbolic Instruction Code)

米国ダートマス大学で1963年にJohn G. KemenyとThomas E. Kurtzの二人の教授によって考案された会話型言語である.

BASIC言語の特徴は,行番号を基にしている簡単な文法をもつことである.

● **例外処理**[1]　(exception handling)

一般の外部割り込みや異常処理のような処理機能をまとめて例外処理と呼んでいる.

例外処理を行う例外処理状態とは,マイクロプロセッサ内部で動作しているが命令は実行されていない状態と定義される.すなわち,例外処理要因が発生し,それをマイクロプロセッサが受け付けてスーパーバイザ・プログラムへジャンプするまでのマイクロプロセッサの動作が例外処理である.

● **ポーリング**[1]　(polling)

マイクロコンピュータのソフトウェアでいうポーリングとは,端子の状態,あるいはレジスタの内容が期待できる値になるまで,一定の判断ルーチンを繰り返し実行することをいう.期待値になるまでの間マイコンは,ほかの処理ができないので多くの判断を同時に処理するのには向いていない.

● **プログラマ**　(programmer)

PROMやPLDにデータを書き込むためのツール.

● **ROMライタ**　(ROM writer)

[参]→プログラマ

PROMにデータを書き込むためのツール.

◆第1章の参考・引用文献は第2章に記載◆

第2章

汎用メモリ，専用メモリ，関連用語

メモリICの基礎用語

渕上賢二／宇仁茂義

メモリ

● **SRAM**[1]　(Static Random Access Memory，エスラム)

メモリ・セルとしてフリップフロップを使い，スタティック(静的)にデータを保持することができるメモリIC(**図2-1**)．フリップフロップの出力がHighレベルかLowレベルかの状態によって，記憶データを保持するので，DRAMのようにリフレッシュ動作を必要としない．

1セルに使われる素子の数は4～9個と多く，DRAMと比べて大容量化に不利で，DRAMが1Mビットのときは256Kビットと，1/4の容量しかできていない．

DRAMで必須のリフレッシュ動作が不要で，しかもメモリの動作タイミングが容易なので，使いやすい．また，低消費電力が実現しやすいことから，マイコンや，端末などの小規模システムを中心に使用されている．

高速品は大型計算機のバッファ記憶，高速端末用記憶装置など，低消費電力品はバッテリ・バックアップ可能なRAMとしてポータブル機器などに使われている．

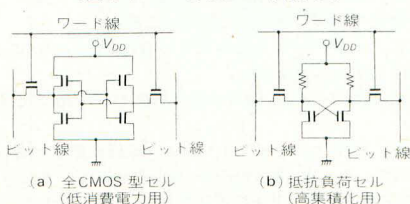
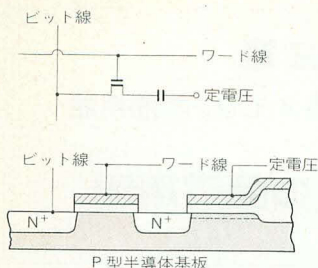
● **DRAM**[1]　(Dynamic Random Access Memory，ダイナミック・ラム，ディーラム)

情報の記憶にダイナミック型のメモリ・セルを使用したメモリIC(**図2-2**)．この素子の性能は，現在の半導体技術を示す一つの尺度でもある．

ダイナミック型セルは，一つのトランジスタと小容量キャパシタから構成され，キャパシタの電荷の有無によってデータを保持する．

〈**図2-1**〉[1]　**SRAMの等価回路**

(a) 全CMOS型セル
(低消費電力用)

(b) 抵抗負荷セル
(高集積化用)

〈図 2-2〉[1]
DRAMの等価回路と
内部構造

たとえばキャパシタが充電されている状態をデータ1とし，反対に放電している状態をデータ0とする．充電された電荷は時間とともに減衰していく．これがダイナミック(動的)の名前のゆえんである．このために，一定時間ごとにセルを元の状態に戻す必要がある．これをリフレッシュと呼ぶ．

メモリ・セルの構造が簡単なためチップ面積が縮小でき，高集積大容量のRAMができる．

使う場合は，リフレッシュ用のコントロール回路をシステム側に用意しなければならない．

もっとも一般的な汎用メモリとして，電子計算機の主記憶装置のような大容量システムから，OA機器，パーソナル・コンピュータ，ゲーム機器の小容量システムに至るまで広範囲に利用されている．

● **疑似SRAM**[3]　(Pseudo Static RAM)

メモリ・セルはDRAM構造だが，コントロール回路にはSRAM方式を採用し，見かけ上SRAMにしたメモリIC．

SRAMにくらべて安価で，記憶容量が大きいといった特徴をもっている．ただし，データ保持電流はSRAMにくらべて1桁大きいため，長時間のデータ保持用途には不向きである．

● **PSRAM**

[同] →疑似SRAM

● **EPROM**[1]　(Erasable Programmable Read Only Memory)

書き込んだデータを消すことができるPROM．基本的には読み出し専用であり，消去と書き込みには専用ツールが必要である．

書き込みは電気的に行い，消去には紫外線か電気的パルスを使う．

EPROMといえば，一般に紫外線消去型のPROMを指す．とくに紫外線消去型を特定する場合はUV-EPROMと呼ぶ．

電気的に消去および再書き込みできるものをEEPROMと呼び，UV-EPROMと区別することが多い．

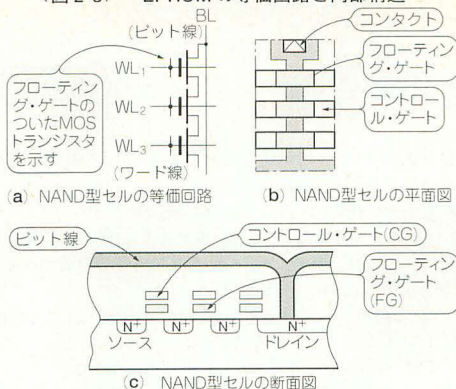
一度書き込んだデータは，通電の有無に関わらず10年間程度は記憶される．

図2-3はUV-EPROMのメモリ・セルの等価回路と断面図である．

書き込み時は，メモリ・セルの中のMOSトランジスタにフローティング・ゲート(FG)を作り，FGに電子を電気的に注入することによって

〈図2-3〉(1) EPROMの等価回路と内部構造

(a) NAND型セルの等価回路　(b) NAND型セルの平面図

(c) NAND型セルの断面図

MOSトランジスタのしきい値電圧V_{TH}を変化させて，データを書き込む．

消去時は，パッケージに設けられたガラス窓を通して，メモリ・セルに紫外線を照射することにより，FG内の電子をシリコン基板に逃がして，書き込み前の状態に戻す．

● **OTPROM**　(One Time Programmable PROM)

[参]→EPROM

UV-EPROMと同じチップを消去用のガラス窓のない，安価なプラスチック・パッケージに収めたもの．

データ消去用のガラス窓がないので，基本的には1回しか書き込むことができない．

● **EEPROM**[1]　(Electrically Erasable Programmable ROM)

[参]→フラッシュ・メモリ

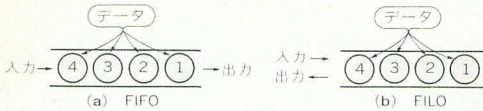
電気的にプログラム内容を消去および再書き込みすることができるPROM．メモリ・セルを構成するMOSトランジスタにフローティング・ゲート(FG)を作り，FGにチャネルからホット・エレクトロンを注入してMOSトランジスタのしきい値電圧V_{TH}を変化(例えば2Vから4.5Vへ)させて書き込む．

消去法はメーカ各社で違いがある．フローティング・ゲートから多結晶Siの消去ゲートへ電子を抜く方法，トンネル酸化膜を通してソースへ，あるいはドレイン側へ電子を抜く方法などがある．

紫外線消去型EPROMは常にEPROMをボードから取り出せる状態にしておくために，ICをソケットに取り付け，装置のカバーをいつでも外せる状態にしておかなければならない．

● **デュアル・ポートRAM**[4]　(dual port RAM)

マイクロコンピュータ・システムの中で，二つのプロセッサが同じRAMをアクセスできるようなハードウェア構成をもったRAMをいう．アドレス・バスとデータ・バスが競合しないように制御回路をもっている．たとえばCPUが処理するのに必要なデータをI/Oプロセッサから，

〈図2-4〉[1]　FIFOとFILO

またその逆の転送が互いに同期をとることなく行えるため，効率よくデータやパラメータの受け渡しが行える．

● **FIFOメモリ**[1]　(First In First Out memory，ファイフォ)

FIFOはデータを格納したり，それを取り出して使用する場合に，格納した順番どおりに，先に格納したデータが取り出せる構成のメモリ，またはそのような記憶方法をいう［図2-4(a)］．

FIFOの方法で格納されている並び，行列が図のようにトンネル型をしているのでトンネル・スタックともいう．

● **FILOメモリ**[1]　(First In Last Out memory，ファイロ)

FILOは格納した順番とは逆に，もっとも新しく格納したデータから取り出せるようなメモリ，またはそのような記憶方法をいう［図2-4(b)］．

データを積み重ねて収納し，収納したときと逆の順番で取り出すのでスタック・メモリともいう．

● **トンネル・スタック**　(tunnel stack)

［同］→FIFOメモリ

● **スタック・メモリ**　(stack memory)

［同］→FILOメモリ

● **SDRAM**[3]　(Synchronous DRAM)

SDRAM(同期DRAM)は，パソコンで頻繁に使われるキャッシュ・メモリのバースト転送をクロックに同期して高速に行えるようにしたDRAMである．

たとえば，100MHzのクロックで8ワードという高速バースト転送が行えるが，初回アクセス時の設定でオーバ・ヘッドが発生する欠点がある．

● **シンクロナスDRAM**

［同］→SDRAM

● **同期DRAM**

［同］→SDRAM

● **EDO-DRAM**[3]　(Extended Data Output DRAM)

［参］→ハイパー・ページ・モード

DRAMの高速ページ・モードをさらに高速にしたハイパー・ページ・モードを採用し，SRAM並みの高速動作を実現したDRAMである．パソコンでは，Pentium + Tritonチップ・セットなどがEDO-DRAMに対応しており，性能向上を果たしている．

● **ラムバスDRAM**[3]　(Rambus DRAM)

プロセッサが性能を上げ，メモリが高密度になるにつれ，CPUとメモリ間の転送速度(バンド幅)はますます高いものが要求されている．

ラムバスDRAMは，ラムバス・インターフェースとオンチップ・

キャッシュをもつDRAMで，CPUとのデータ転送速度は600Mビット/秒と飛躍的に拡大しており，高速のマルチメディア信号処理システムなどで採用されている．

Rambus社の商標である．

● RDRAM

［同］→ラムバスDRAM

● キャッシュ・メモリ[1]　(cache memory)

高速動作のCPUは高速動作のメモリを必要とする．しかし，CPUの動作スピードにあったアクセス・タイムをもつ高速の大容量メモリを使用した場合，一般的にコストが高くなってしまう．

キャッシュ・メモリは，CPUとメイン・メモリとなるメモリの間に介在した，小容量で高速のメモリである．

CPUはキャッシュ・メモリをアクセスすることによりメイン・メモリのスピードによらず，高速で動作することが可能となる．

CPUがキャッシュ・メモリをアクセスしたときデータが存在している確率のことをヒット率という．ヒットすればCPUはプログラムにしたがい，命令を実行していく．ヒットしなかった場合は，メイン・メモリの内容をキャッシュ・メモリに移さなければならないため，プログラムの実行を中断する．

最近の高機能なマイクロプロセッサは，命令用とデータ用にキャッシュを内蔵している．

● SIMM[3]　(Single Inline Memory Module，シム)

パソコンのマザー・ボード上の専用ソケットに実装するメモリ・モジュール．電極パターンが一直線上に並んでいる．

30ピン・タイプと72ピン・タイプがあり，現在は72ピン・タイプが主流である．容量は，4Mバイト，8Mバイト，16Mバイト，32Mバイト，64Mバイトなど．

エラー・チェックのためのパリティ機能付きタイプもある．パソコンでのパリティ機能の設定は，BIOSなどで設定する．DRAMのSIMMの場合，アクセス・スピードは，60ns，70nsが一般的である．

● DIMM　(Dual Inline Memory Module，ディム)

パソコンのマザー・ボード上の専用ソケットに実装するメモリ・モジュール．電極パターンが2列に並んでいる．

SIMMより小型で，ノート・パソコンのメモリ拡張用モジュールなどに使われる．

● UV-EPROM　(Ultra Violet ray Erasable Programmable ROM)

［同］→ EPROM

● ワンタイムPROM

［同］→ OTPROM

● PROM　(Programmable ROM)

［参］→ EPROM，OTPROM，EEPROM

データを書き込むことはできるが，消去できない読み出し専用メモリの総称．狭義ではバイポーラPROMを指すこともある．

● ROM　(Read Only Memory)

一般に読み出し専用メモリICの総称.

● **RAM**　(Random Access Memory)

一般に書き込みと読み出しが可能なメモリICの総称.

● **RWM**　(Read Write Memory)

書き込みと読み出しが可能なメモリICの総称だった. 現在では一般にRAMと呼ぶことが多い.

● **ROS**　(Read Only Storage)

[同]→ROM

● **ヒューズROM**　(fuse ROM)

[同]→バイポーラPROM

● **バイポーラPROM**　(bipolar PROM)

バイポーラ・プロセスを使ったPROMデバイス. 小容量で消費電流が多いが, 比較的高速であり, MOS系デバイスより耐環境性に優れる. 書き込みには専用ツールを使い, 内部のヒューズを焼き切ることによって行う. ヒューズを焼き切って書き込むので, 基本的には1回しか書き込むことができない.

現在では, あまり使われていない.

● **EAROM**　(Electrically Alterable ROM)

[同]→EEPROM

● **NVRAM**　(Non Volatile RAM)

[同]→EEPROM

● **フラッシュ・メモリ**　(flash memory)

電気的に消去と再書き込みが可能な不揮発性メモリIC. EEPROMよりメモリ・セルを構成するトランジスタ数が少ないので, 安価に製造することができる. ただし, 基本的にはバイト単位での消去はできず, 電気的にチップ全体を一括消去するものが多い.

● **フラッシュROM**

[同]→フラッシュ・メモリ

● **フラッシュPROM**

[同]→フラッシュ・メモリ

● **FRAM**　(Ferroelectric RAM)

不揮発性強誘電体メモリ. DRAMのキャパシタ部分に強誘電体を使い, その残留分極によってデータを記憶する. 電源なしでデータを保持することができる.

● **SAM**　(Serial Access Memory, サム)

シリアル・アクセス・メモリ. シリアル・データ列として入出力するメモリIC.

● **フレーム・メモリ**　(frame memory)

1画面を記憶するための専用メモリIC, または同等の機能をもつメモリ・サブシステム.

● **GVRAM**　(Graphic Video RAM)

[参]→VRAM

● **VRAM**　(Video RAM)

画像記憶専用メモリIC, または画像記憶用に割り当ててあるメモリ領

域の総称.

● **ページ・モード** (page mode)

DRAMの高速アクセス方式である.ページ・モード,高速ページ・モード,ニブル・モード,スタティック・カラム・モード,EDOとして知られるハイパー・ページ・モードなどがある.

DRAMではパッケージのピン数を少なくする目的で,一般にアドレスを行,列の2回に分けて与えるマルチプレックス・アドレス方式が使われる.

ノーマル・モードでは,行(row)アドレス,列(column)アドレスの順に出てくるマルチプレックスト・アドレス信号MAを,図2-5(a)のようにそれぞれ$\overline{\text{RAS}}$信号,$\overline{\text{CAS}}$信号の立ち下がりでラッチしてアドレスを得る.

ページ・モードでは,同一行(row)につながる列(column)群を1ページと呼ぶ.そのページの行アドレスを最初の$\overline{\text{RAS}}$でラッチし,同一ページ内では$\overline{\text{CAS}}$だけをトグルして列アドレスを図(b)のように次々に与える.こうしてアクセス・タイムを短縮することができる.

● **ニブル・モード**[7] (nibble mode)

DRAMの高速アクセス方式.出力端子の近くに4ビットぶんのラッチ回路を設けておき,読み出し時に連続するアドレスぶんのデータをこのラッチに入れておく.$\overline{\text{CAS}}$信号によって,このラッチを切り替えて順次出力していく[図2-5(c)].

ニブル・モードの場合,4ビット連続にアクセスする場合は,2ビット以降の列アドレスの設定が不要なので,そのぶんタイミング設計が容易になる.4ビットに制限されるが,ページ・モードより高速でアクセスすることが可能である.

● **スタティック・カラム・モード** (static column mode)

1ページぶんのデータを内蔵SRAMに読み込む.このため,図2-5(d)のように最初に行(row)アドレスを与えたあとは,マルチプレックスト・アドレスMAに列(column)データを与えるだけでデータが次々に出力されるので,もっとも高速なアクセスが可能である.

しかしスタティック・カラム方式のDRAMは高価であり,あまり使われていない.動作中の$\overline{\text{CAS}}$信号がスタティックなので,この名称がある.

● **高速ページ・モード** (fast page mode)

高速ページ・モードでは,ページ・モードに加えて,さらに$\overline{\text{CAS}}$によって列アドレスも内部でラッチするので,そのぶん$\overline{\text{CAS}}$のプリチャージ時間が短縮される.スタティック・カラム・モードに$\overline{\text{CAS}}$によるアドレス・ラッチ機能をもたせたものといえる[図2-5(e)].

これは256KビットDRAMで導入されたが,当時はノーマル,ニブル,スタティック・カラムが乱立しており,事実上ノーマル・ページが主流だった.

1MビットDRAMでは,これがスタンダードとなり,スタティック・カラムは特殊用となり,ニブルは駆逐された.4Mビット以上(4M,16M)もこれがスタンダードである.

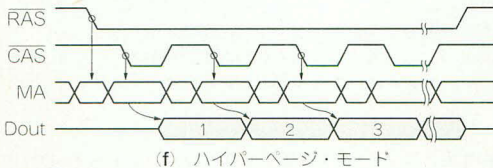
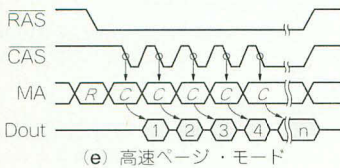
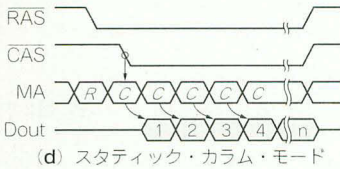
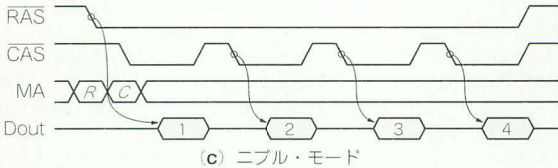
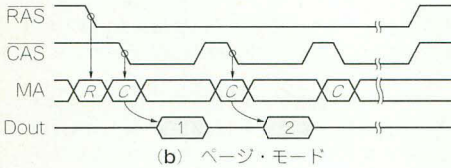
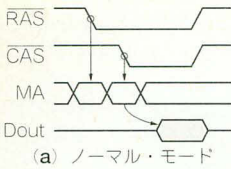
〈図2-5〉[7] DRAMの高速アクセス方式

(a) ノーマル・モード

(b) ページ・モード

(c) ニブル・モード

(d) スタティック・カラム・モード

(e) 高速ページ・モード

(f) ハイパーページ・モード

注▶ *R*：行(row)アドレス，*C*：列(column)アドレス

● **エンハンスト・ページ・モード** (enhanced page mode)

[同]→高速ページ・モード

● **ファスト・ページ・モード** (fast page mode)

[同]→高速ページ・モード

● **EDOページ・モード**

[同]→ハイパー・ページ・モード[6]

● **ハイパー・ページ・モード**[6] (hyper page mode)

[参]→EDO-DRAM

ハイパー・ページ・モードとは、ページ・モードを強化したものである. EDO-DRAMとして知られる. ハイパー・ページ・モードは、次の三つが特徴である.

(1) データ出力時間が伸張(extend)されている.

高速ページ・モードでは、出力データが次の$\overline{\mathrm{CAS}}$サイクルの立ち上がりまでしかデータがホールドされないのに対して、ハイパー・ページ・モードでは、図2-5(f)のように出力データは、次の$\overline{\mathrm{CAS}}$サイクルの立ち下がりエッジまでホールドされる. このようにデータ出力時間が伸張されているから、$\overline{\mathrm{CAS}}$サイクル・タイムが短くとも、リード・サイクルのタイミング・マージンが大きい.

(2) $\overline{\mathrm{CAS}}$サイクル・タイムが高速ページ・モードより短縮されている.

ハイパー・ページ・モードでは、データ出力時間の伸張により、高速ページ・モードと同じタイミング・マージンならば、$\overline{\mathrm{CAS}}$サイクル・タイムは高速ページ・モードより短縮できる. たとえば$\overline{\mathrm{RAS}}$からのアクセス・タイムが60nsだとすると、ハイパー・ページ・モードの$\overline{\mathrm{CAS}}$サイクル・タイムは25ns, 高速ページ・モードでは40nsである.

(3) ハイパー・ページ・モードでは、読み出し(データ出力)と書き込み(データ入力)サイクルは、一つの$\overline{\mathrm{RAS}}$サイクル中に連続して実行することができる.

このようにリード/ライト動作を1サイクルで実行できるが、その場合の性能は高速ページ・モードと同じになる.

● **シリアルEEPROM**[1] (Serial Electrically Erasable Programmable ROM)

ふつうのPROMデバイスはデータやアドレスをパラレル・バスで与えるのに対し、シリアル・バスで与えるもの.

パッケージのピン数が3～8ピン程度と少なく、小型であり、無電源でデータを保持できるので、マイコン応用機器の設定データの記憶などに使われる.

● **E^2PROM** (E squared PROM, イースケア・ピーロム)

[同]→EEPROM

● **CS** (Chip Select, チップ・セレクト)

そのICチップを選択する信号またはピンの名称. たとえば$\overline{\mathrm{CS}}$は、$\overline{\mathrm{CS}}$ピンがLレベルのときに選択される.

● **OE** (Output Enable, アウトプット・イネーブル)

出力を可能にする信号またはピンの名称. たとえばメモリICからデータを出力するときには、$\overline{\mathrm{OE}}$ピンをLレベルにする.

● **R/W** (Read/Write, リード/ライト)

読み出しか，書き込みかを選択する信号．

● WE　(Write Enable，ライト・イネーブル)

書き込みを可能にする信号またはピンの名称．たとえばメモリICにデータを書き込むときは，$\overline{\mathrm{WE}}$ピンをLレベルにする．

● RAS　(Row Address Strobe)

[参]→ページ・モード

DRAMのようなマルチプレックスド・アドレスのデバイスにおいて，行アドレスを与えるタイミング信号．

● CAS　(Column Address Strobe)

[参]→ページ・モード

DRAMのようなマルチプレックスド・アドレスのデバイスにおいて，列アドレスを与えるタイミング信号．

◈第1章の参考・引用*文献◈

(1) *鈴木荘一編著；天野尚，竹田吉信，橋本勝，平沢正孝，内田和幸，川村靖明，安藤和正；IC/LSI基礎用語辞典，トランジスタ技術1989年9月号別冊付録，CQ出版(株)．

(2) *柳川誠介；マイコン重要語辞典，インターフェース1990年1月号別冊付録，CQ出版(株)．

(3) 日本電気(株)電子デバイスグループ；新・マイコン用語事典，電子科学ブルーブックス，p.120，産報出版社．

(4) *西久保靖彦；ASIC基本用語解説，インターフェース1991年3月号，p.28，CQ出版(株)．

◈第2章の参考・引用*文献◈

(1) *鈴木荘一編著；天野尚，竹田吉信，橋本勝，平沢正孝，内田和幸，川村靖明，安藤和正；IC/LSI基礎用語辞典，トランジスタ技術1989年9月号別冊付録，CQ出版(株)．

(2) *柳川誠介；マイコン重要語辞典，インターフェース1990年1月号別冊付録，CQ出版(株)．

(3) *川上昴記；電子部品図鑑(25)メモリIC，トランジスタ技術1997年1月号，p.233，CQ出版(株)．

(4) *日本電気(株)電子デバイスグループ；新・マイコン用語事典，電子科学ブルーブックス，p.120，産報出版社．

(5) *西久保靖彦；ASIC基本用語解説，インターフェース1991年3月号，p.28，CQ出版(株)．

(6) * NEC Dynamic RAMデータブック，1995，日本電気(株)，資料番号：IA-1109A．

(7) *日立データブック，ICメモリ2，(株)日立製作所，資料番号：ADJ-403-003P(H)．

第3章

汎用ロジック，プログラマブル・ロジック

ディジタルICの基礎用語

松本一之／渕上賢二／宇仁茂義

汎用ロジック

● **Hアクティブ**　(High active，ハイ・アクティブ)

［対］→Lアクティブ

信号がディジタル・ハイ（High）レベルのときに論理が有効になること．正論理で真の信号はHアクティブ．

● **Lアクティブ**　(Low active，ロー・アクティブ)

［対］→Hアクティブ

信号がディジタル・ロー（Low）レベルのときに論理が有効になること．負論理で真の信号はLアクティブ．

● **正論理**

［参］→Hアクティブ

● **負論理**

［参］→Lアクティブ

● **アサート**　(assert)

［対］→ネゲート

信号および論理が有効になること．Hアクティブの信号をアサートすると，ディジタルHレベルになる．Lアクティブの信号をアサートすると，ディジタルLレベルになる．

● **ネゲート**　(negate)

［対］→アサート

信号および論理が無効になること．Hアクティブの信号をネゲートすると，ディジタルLレベルになる．Lアクティブの信号をネゲートすると，ディジタルHレベルになる．

● **ディアサート**　(de-assert)

［対］→アサート

● **バッファ**　(buffer)

［参］→インバーテッド・バッファ

入力のファン・イン数を調節したり，出力の駆動能力を向上するのに使用する．

入力用として使用されるバッファの多くは，シュミット・トリガ機能をもち，入力信号の雑音除去，波形整形を行う．

論理演算としては意味をもたない.

● **インバーテッド・バッファ**　(inverted buffer)

[参]→バッファ

入力と出力のロジックが反転するバッファ. 一般にノン・インバーテッド・バッファより高速である.

● **ノン・インバーテッド・バッファ**　(non inverted buffer)

[同]→バッファ

● **ファンイン**　(fan-in)

ロジックICの入力が, そのロジックを駆動するロジックに与える負荷を単位ロジックの入力本数で表したもの.

同一機能の入力ピン数を指すこともある.

ファンイン数が小さいほど, そのロジックを駆動する前段のロジックに与える影響が少ない.

● **ファンアウト**　(fan-out)

ロジックICの出力が駆動できるロジック信号入力数を単位ロジックの入力本数で表したもの.

ファンアウトが大きいほど, 駆動能力が大きく, したがって, より多くのロジック入力を接続できる.

出力の駆動能力および周波数により異なる.

● **3ステート**　(3-state, スリー・ステート)

制御信号によって, ロジック出力をディジタルHレベル, ディジタルLレベル, およびハイ・インピーダンス(Z)の三つの状態にすることが可能なロジック回路(**図3-1**). バス接続などに使う.

● **トライ・ステート**　(tri state)

[同]→3ステート

ナショナル・セミコンダクター社の商標.

● **スリー・ステート**

[同]→3ステート

● **ハイ・インピーダンス**　(high impedance)

回路の出力が電気的に接続されていないような状態. 真理値表では"Z"で表すことが多い(**図3-1**).

● **Hi-Z**

[同]→ハイ・インピーダンス

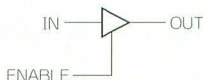
● **セット**　(set)

ラッチなどの内部状態がアサートされること. セットするための入力.

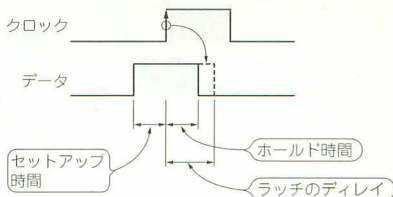
● **リセット**　(reset)

ラッチなどの内部状態がネゲートされること. リセットするための入

ENABLE	IN	OUT
L	−	Z
H	L	L
H	H	H

(**a**) 真理値表

(**b**) シンボル

〈図3-1〉 3ステート・ゲートの真理値表とシンボル

〈図3-2〉(2)
セットアップ時間とホールド時間

力.

● セットアップ時間 (setup time)

ラッチなどにおいて正常に入力を読み込むためにクロックの有効なエッジ以前に入力信号を安定させていなければならない最小時間(**図3-2**).

● ホールド時間 (hold time)

ラッチなどにおいて正常に入力を読み込むためにクロックの有効なエッジ以後に入力信号を保持しなければならない最小時間(**図3-2**).

● グラウンド・バウンス (ground bounce)

ICの内部状態や出力が同時に変化したとき,ピン,ボンディング・ワイヤなどの寄生容量,グラウンド・インピーダンスなどにより,グラウンド・レベルが変化すること.

● ラッチ・アップ (latch up)

CMOS-ICなどにおいて,入出力ピンに過大な電圧を加えた場合,その原因を取り除いても異常電流が内部で流れ続けること.ICを破壊させるおそれがある.

● バス・コンテンション (bus contention)

バスに接続した複数の出力が,伝搬遅延などの理由により同時に出力されること.

● クロック・スキュー (clock skew)

同期式設計においてクロックの伝搬遅延時間の差,配線容量などの理由により発生するタイミングずれ.

● レーシング (racing)

複数の状態変数が同時に変化する場合に,伝搬遅延時間の違いなど,信号が入力される順序によって最終的な状態が決定すること. 競争.

● プル・アップ抵抗 (pull up resister)

[参]→プル・アップ

TTL-CMOS間の論理レベルの変換や,バス接続,ワイヤードOR接続時の論理レベルの固定に使う抵抗器.

● 1の補数 (1's complement)

負数を表現する方法の一つで,正数の2進数を反転して得る(**表3-1**).

● 2の補数 (2's complement)

負数を表現する方法の一つで,1の補数表現に1を加算することによって得られる(**表3-1**).

● シュミット・トリガ・ゲート (Schmitt trigger gate)

[参]→シュミット・トリガ

10進	正数	1の補数	2の補数
0	000	111	000
1	001	110	111
2	010	101	110
3	011	100	101
4	100	011	100
5	101	010	011
6	110	001	010
7	111	000	001

〈表3-1〉
補数表現
(符号なし3ビットの場合)

入力信号がHレベルからLレベルに変わるときと,LレベルからHレベルに変わるときのスレッショルド・レベルが異なるゲート(**図3-3**).

● ゲート[9]　(gate)

ディジタル・ロジック回路を構成する基本的な単位. 論理演算の基本は,2入力1出力ゲートと反転ゲートであり,これらのゲートを組み合わせることで,あらゆるロジック回路を構成することができる.

● 74シリーズ[10]

Texas Instruments(TI)社から発表されたTTL-ICの製品シリーズをいう. TI社から発表されたおもな74シリーズには,

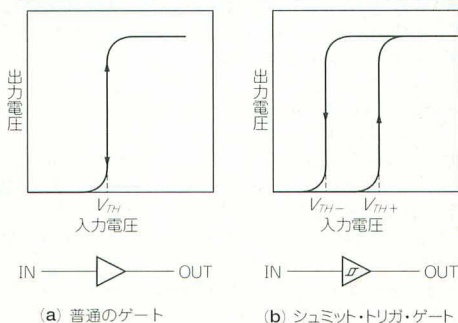
・SN7400シリーズ…標準タイプ
・SN74LSシリーズ…ローパワー・ショットキ・タイプ
・SN74ALSシリーズ…アドバンスト・ローパワー・ショットキ・タイプ

などの世代があり,各世代ごとに遅延時間,消費電力特性が改良されてきた.

74シリーズはTTLの標準だけでなく,CMOSロジックICの74HCシリーズにもその型番が受け継がれている.

● 4000シリーズ[11]

RCA社のCMOSスタンダード・ロジックICシリーズのCD4000シ

〈図3-3〉　シュミット・トリガ・ゲートの入出力特性

リーズを指す.

CMOSは低消費電力という特徴のために,TTLに代わる汎用ロジックとして,急速に普及したが,スピードがTTLに比べて遅いという欠点があった.

4000/4500シリーズは電源電圧が3～18Vと広く,74HCシリーズでは置き換えのできない特徴をもっている.

● **40H000シリーズ**

[参]→74HCシリーズ

● **74HCシリーズ**

4000/4500シリーズに替わる高速CMOSとして,40Hシリーズと74HCシリーズが開発された.

しかし,これらのシリーズは4000/4500シリーズのピン配置とは異なり,TTLの74シリーズに合わせたピン配置となっていた.この結果,4000/4500シリーズには新たな品種が追加されることはなくなり,逆に74HCシリーズに吸収された.74HC4040や74HC4514のように4000/4500シリーズのときと同じ型名で74シリーズに取り入れられた品種もある.

● **4500シリーズ**

[参]→4000シリーズ

モトローラ社のCMOSスタンダード・ロジックICであるMC14500シリーズ.

● **MC14500シリーズ**

[同]→4500シリーズ

● **ハザード**[10]　(hazard)

[参]→レーシング

(1)論理回路で構成する素子の遅延などが原因で,二つ以上の信号が同時に変化すると,どちらか動作の速いほうの素子の出力が先に出てきて出力がおかしくなることをいう.

また,このように二つ以上の信号が競争することをレース(race)という.

組み合わせ回路の場合は,ある時間がたてばハザードがおさまるが,この出力をフリップフロップなどの順序回路にとりこむと問題をおこすので注意を要する.

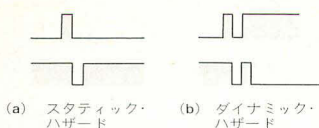
ハザードには,本来出力が不可なのに入力が変化したため,一度または二度出力がばたつくスタティック・ハザードと,出力が変化("L"から"H"または"H"から"L"へ)したときにばたつくダイナミック・ハザードがあり,チャタリングと同じような現象が起こる.

(2)回路素子の遅延などの理由によって発生する細い幅の不要信号.ひげ(髭).

● **スタティック・ハザード**[10]　(static hazard)

[参]→ハザード

入力が変化したために出力が,一度または二度ばたつく現象[**図3-4(a)**].

● **ダイナミック・ハザード**[10]　(dynamic hazard)

〈図3-4〉(10)
ハザード

[参]→ハザード

出力がLレベルからHレベル，またはHレベルからLレベルへ変化したときにばたつく現象[図3-4(b)].

● **メタステーブル**(13)　(meta-stable)

ラッチやフリップフロップの入力信号において，セットアップ時間やホールド時間が守られなかった場合に，出力信号が不安定な状態になることをいう(図3-5).

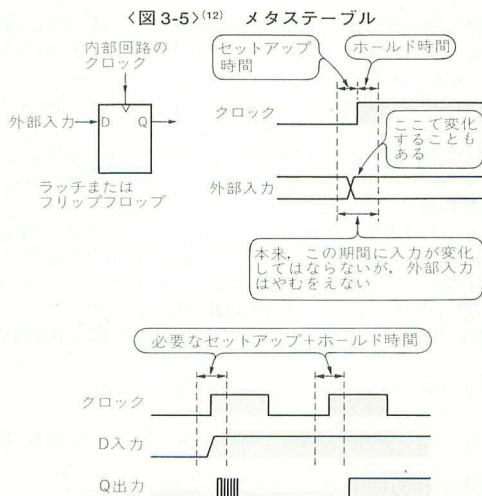
この状態は長く続くことはなく，必ず起きる現象でもない．TTLやCMOSの標準ロジックで数十ps～数nsほどである．

外部からの非同期信号をフリップフロップで同期化するような場合には，入力信号はどこで変化するかわからないので，メタステーブルの発生を防ぐことはできない．しかし，メタステーブルの発生現象を見れば，メタステーブルが発生しても構わない回路構成にすることは可能である．

● **DSP**(10)　(Digital Signal Processor)

ディジタル信号処理専用プロセッサ．ディジタル・オーディオ(CD, DAT)の普及により，これまでアナログ処理を行ってきた分野がDSPによってディジタル化されている．

ディジタル信号処理は，大量のデータを高速に演算しなければならな

〈図3-5〉(12)　メタステーブル

いため，ディジタル信号処理の演算を高速に行うために特化したLSIがDSPである．

DSPは演算の高速性を優先させたアーキテクチャを採用している．特徴は次のとおりである．

(1) 命令数が少ない．

(2) ディジタル信号処理で多用される加減乗算専用のハードウェア（高速乗算器，バレル・シフタなど）を内蔵している．

(3) ハーバード・アーキテクチャをとり，命令の参照とデータの参照が同時に行えるものが多い．

● **乗算器**[9] (multiplier)

アダーとならんでディジタル演算の基本要素である．単純なものは桁ごとの加算器の組み合わせで構成される．高速・大規模なものは，専用のアルゴリズムをもつ演算チップとして用意されている．

二つのデータの演算だけでなく，一方の入力信号をもう一方の入力で変調する変調器と見ることもできるので，信号処理や通信関係にも使われる．

● **インヒビット** (inhibit)

[参] →ディセーブル

禁止．この信号がアクティブだと，動作が禁止されたり，状態の変化が禁止される．

● **ウェイト**[9] (wait)

CPUに接続されるメモリやI/Oデバイスが低速の場合，CPUは書き込みや読み出しのサイクルを必要とする時間だけ引き伸ばして待つ．この機能を外部回路が使用するためにCPUはウェイト端子をもち，周辺回路のスピードに応じてCPUを待たせることをウェイトという．

ウェイト時間は，CPUの供給クロックの数で1ウェイトや2ウェイトなどと呼ぶことが多い．

● **トリガ**[9] (trigger)

状態変化のきっかけ（引きがね）となる信号．ストローブともいう．

● **ストローブ** (strobe)

[参] →トリガ

ストロボ．

● **スレッショルド・レベル**[9] (threshold level)

しきい値（閾値）．ディジタル信号の入力回路が，H (High) レベル，L (Low) レベルを確定入力として検出する限界の電圧のこと．

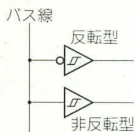
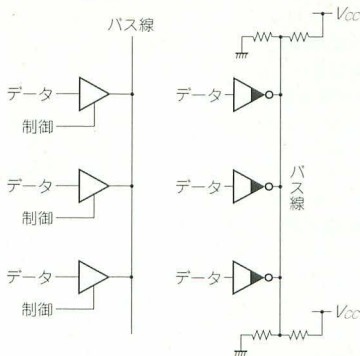
TTLでは0.8V以下をLレベル，2.0V以上をHレベルと解釈するので，駆動側でこの条件を満たす必要がある．電源電圧5VのCMOSの場合は，Lレベルが約1.5V，Hレベルが約3.8Vである．

TTLとCMOSはスレッショルド・レベルが異なるので，TTLでCMOSを駆動するときは注意が必要である．

● **キャリ**[9] (carry)

[対] →ボロー

加算器の桁上がり信号．アダーにはキャリ・インとキャリ・アウトの端子があり，下位のアダーのキャリ・アウトを上位のキャリ・インに接

〈図3-6〉
バス・レシーバ

〈図3-7〉 バス・ドライバ

(a) 3ステート・バス・ドライバの例 (b) オープン・コレクタ反転型バス・ドライバの例

続して多段構成にする.

● **ボロー** (borrow)

[対]→キャリ

桁下がり信号.

● **ルック・アヘッド・キャリ**[9] (look ahead carry)

多段のアダーにおいて,各桁の加算結果のキャリを上位の桁に繰り上げていくと,演算時間が非常に長くなる. このため,各桁の演算とは別に,入力の組み合わせから最終出力のキャリを演算してしまうことで,アダーの演算速度は向上する.

このキャリ演算回路をルック・アヘッド・キャリ回路という. 実際には,入力のどこかにゼロのビットがあれば桁上がりが起きないので,回路規模としては簡潔である.

● **バス・レシーバ**[14] (bus receiver)

バス線に接続し,バス線からデータを受け取るためのバッファの役割を行う. 一般に,バス・レシーバはヒステリシス特性をもち,対雑音特性が改善されている. また,入出力のロジック・レベルが反転するものと,反転しないものがある(**図3-6**).

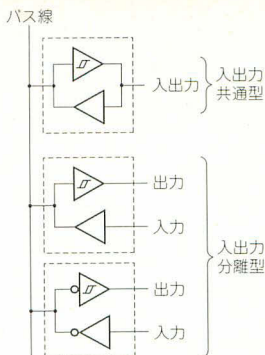
● **バス・ドライバ**[14] (bus driver)

バス線を駆動するIC. 一般には,オープン・コレクタ出力のものと3ステート出力のものがある. また,入力ロジック・レベルと出力ロジック・レベルが反転するものと,反転しないものがある(**図3-7**).

バス・ドライバと呼ばれているICは,その駆動能力が一般のICよりすぐれている. また,同一パッケージに4～8個の素子が組み込まれている. ラッチ付きのものもある.

● **バス・トランシーバ**[14] (bus transceiver)

バス・ドライバとバス・レシーバを同一パッケージにおさめたもの. 入力と出力が分離したものと分離していないものがある(**図3-8**). 後者

〈図3-8〉
バス・トランシーバ

を双方向バス・ドライバと呼ぶこともある.

バス側と入出力側のロジック・レベルが反転しているものもある.

● **コンパレータ**[9]　(comparator)

ディジタルのコンパレータとは,二つのディジタル入力値を比較した結果を出力する一種のエンコーダである. 等号,不等号や多ビット拡張接続用の信号をもつものもある.

74シリーズのTTLではSN7485などである.

● **プル・アップ**[9]　(pull up)

ディジタル信号ラインを,抵抗を通してHレベルに接続すること.TTLでは出力Hレベル電圧が低いので,数kΩのプル・アップ抵抗を使用する.

オープン・コレクタ出力の通信ラインでは,数百Ωのプル・アップ抵抗を受信側にもつことで,通信ラインに多少のノイズが乗っても誤動作しにくくなる.

CPU回路のデータ・バスなども,8ビット単位で1パッケージにまとめた集合型抵抗でプル・アップすることで,すべてのチップがハイ・インピーダンス状態にあるときにもデータ・バスを確定したロジックHレベルに保つことができ,システムの信頼性が向上する.

● **プル・ダウン**[9]　(pull down)

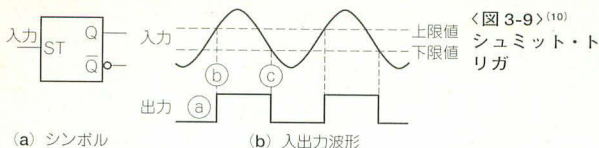
ディジタル信号ラインを,抵抗を通してグラウンドに接続すること.

プル・アップとは反対であるが,求める効果は同様であり,高速クロック回路の信号ライン上の反射信号(誤動作のもと)を抑えるための,終端抵抗の意味ももつ. 正論理の信号ラインやCMOSの回路において使われる.

● **フル・デコード**[9]　(full decode)

アドレス信号の全ビットをアドレス・デコーダに供給して,必要なチップ・セレクト信号を発生すること.

デコーダを簡単にするためにアドレスの全部を使用しなくてもデコード回路は構成できるが,この場合にはあるチップを選択するのに,複数のアドレスが存在することになるので,プログラムを書く段階で注意する

〈図3-9〉(10) シュミット・トリガ

必要がある.

● **シュミット・トリガ**(10) (schmitt trigger)

入力電圧に対して上限値と下限値の二つのスレッショルド・レベルをもち,これらの値より入力が高くなるか,または低くなるかで状態が変化するフリップフロップ.

図3-9のような正弦波が入力された場合を考える.

入力電圧が上限値より低い場合は出力はLレベル(ⓐ)である.そして,入力電圧が上限値より高くなると出力はHレベルになる(ⓑ).次に入力電圧が下限値より低くなると出力はLレベルになる(ⓒ).

シュミット・トリガは,入力波形をきれいな方形波に整形するのによく使われる.

電圧の上限値と下限値の差をヒステリシス電圧といい,これが大きいほどノイズに強い.

● **ヒステリシス・ゲート** (hysteresis gate)

[同]→シュミット・トリガ

● **TTL** (Transistor Transistor Logic)

[参]→74シリーズ

バイポーラ・トランジスタだけで構成したロジックIC.RTL→DTL→TTLと進化し,現在の高性能TTLの元祖となった.テキサス・インスツルメンツ社のSN7400シリーズが代表的である.SN7400の等価回路を**図3-10**に示す.

● **LS-TTL** (Low power Schottky-TTL)

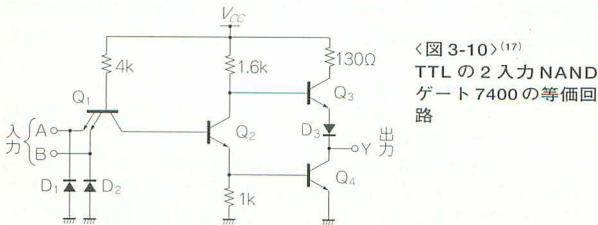
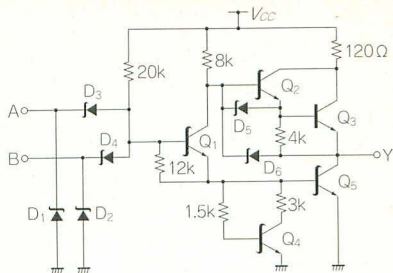
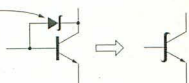
SN74シリーズの標準TTLの改良型で,ショットキ・トランジスタによって高速と低消費電力を両立した.等価回路を**図3-11**に示す.

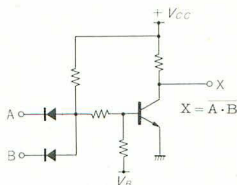
● **ALS-TTL** (Advanced Low power Schottky-TTL)

SN74LSシリーズのLS-TTLの改良型.

● **DTL** (Diode Transistor Logic)

ダイオードとトランジスタで構成された初期のロジック回路.等価回路を**図3-12**に示す.フェアチャイルド社のμL900シリーズが代表的で

〈図3-10〉(17) TTLの2入力NANDゲート7400の等価回路

〈図3-11〉[17]
LS-TTLの2入力NANDゲート74LS00の等価回路

(a) 等価回路

(b) ショットキ・トランジスタ

〈図3-12〉[15]
DTLの2入力NANDゲートの等価回路

ある．

● **RTL**　(Resistor Transistor Logic)

抵抗とトランジスタで構成された初期のロジック回路．

● **ECL**　(Emitter Coupled Logic)

高速ロジック・デバイス．TTLなどがトランジスタを飽和領域で使うのに対して，ECLは不飽和領域で動作する．ベース領域のキャリア蓄積がないので高速で動作する．

電圧振幅が小さいためノイズ・マージンが少ない，消費電流が多いなどの欠点がある．ECLの出力はエミッタ・フォロワである．

ECL-10Kシリーズ，ECL-100Kシリーズなどがある．

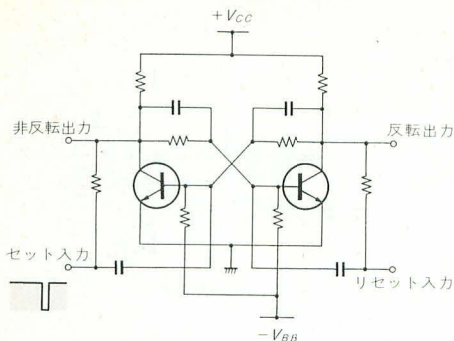
● **GTL**　(Gunning Transceiver Logic)

低電圧で動作する高速ロジック．名称はゼロックス社のBill Gunningにちなむ．

● **CML**　(Current Mode Logic)

［参］→ECL

高速ロジック・デバイス．ECLと同様に不飽和領域で動作する．ECLは出力をエミッタから，CMLは出力をコレクタから取り出す．

● **ダイナミック・フリップフロップ**　(dynamic flip-flop)

〈図3-13〉(15) ACトリガ・フリップフロップ

電子計算機の初期に使われたフリップフロップ．図3-13のようにトランジスタ2個だけでデータを記憶することができるが，入力信号はパルス信号に限られる．

● **ACトリガ・フリップフロップ**　(AC trigger flip-flop)

[同]→ダイナミック・フリップフロップ

● **リレー・ロジック**　(relay logic)

リレーを使って構成したロジック回路．その回路例を図3-14に示す．

● **ラッチ**　(latch)

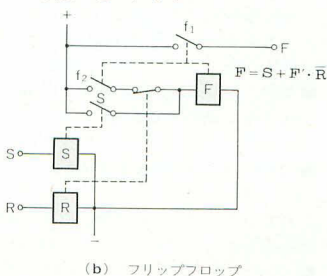
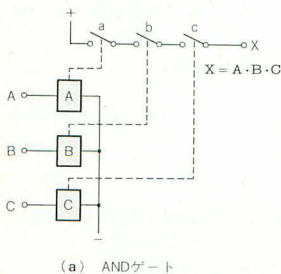
データを保持する回路．ラッチ状態でないときには，入力データが出力に透過するのでトランスペアレント・ラッチともいう．

● **チャタリング**　(chattering)

リレー接点やスイッチ接点が，切り替わった直後にばたついて，信号がON/OFFを繰り返す現象．

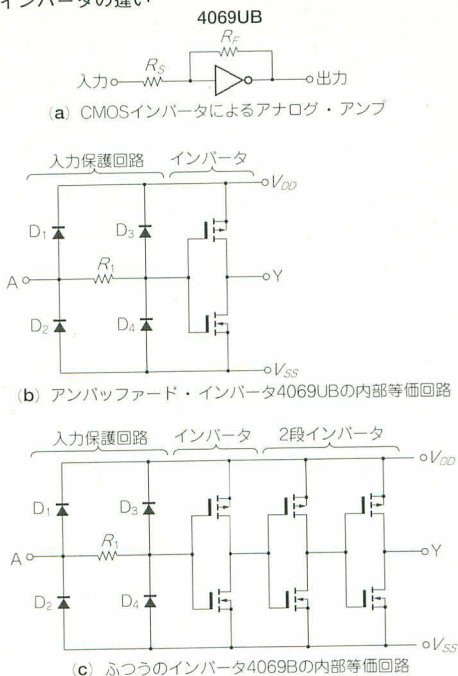
● **アンバッファード**　(unbuffered)

CMOSロジック・インバータICの入出力に帰還をかけてアナログ・アンプや発振回路を構成する場合，ふつうのロジック・インバータICだと，内部のインバータが3段で構成されているために，利得が高くなりす

〈図3-14〉(15)　リレーを使ったロジック

〈図3-15〉 アンバッファード・インバータとふつうのインバータの違い

(a) CMOSインバータによるアナログ・アンプ

(b) アンバッファード・インバータ4069UBの内部等価回路

(c) ふつうのインバータ4069Bの内部等価回路

ぎてうまく動作しない.

アンバッファード・インバータは,内部のインバータが1段で構成されており,アナログ・アンプとして使うのに適している(図3-15).

● **シリアル・データ** (serial data)

[対]→パラレル・データ

直列データ.データを時系列上に展開したもの.パラレル・データと比べて,入力や出力の端子が各一つですむが,同じ量のデータを転送するのに時間がかかる.

● **パラレル・データ** (parallel data)

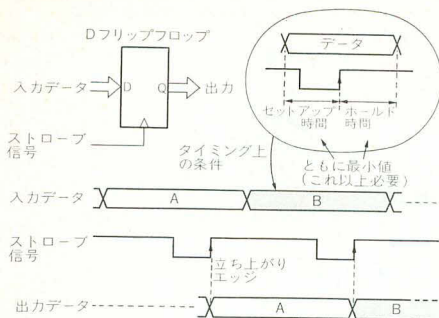
[対]→シリアル・データ

並列データ.データ幅分の全データを同時に入力または出力することができる.入力や出力にデータ幅ぶんの端子数が必要である.

● **アクティブ状態** (active state)

[参]→アサート

[対]→インアクティブ状態

ロジック信号が真の状態,または活動状態であること.

〈図 3-16〉(9)
エッジ・トリガ

● **インアクティブ状態** (inactive state)

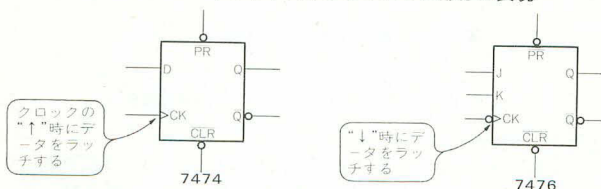
[参]→ネゲート

[対]→アクティブ

ロジック信号が偽の状態, または非活動状態であること.

● **エッジ・トリガ** (edge trigger)

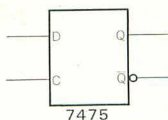
図3-16のようにデータ・ストローブ信号の立ち上がり, または立ち下がりの変化点でトリガするもの. エッジの前後にデータが確定しているべき時間(セットアップ, ホールド)の条件がある.

〈図 3-17〉(1) フリップフロップのクロック部分の表現

入力				出力	
$\overline{PRESET}$	$\overline{CLEAR}$	CLOCK	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	変化なし	

* $\overline{PRESET}$と$\overline{CLEAR}$がV_{IL}(max)近くのときQ, $\overline{Q}$出力はV_{OH}(min)を満足しない場合がある. この状態は$\overline{PRESET}$または$\overline{CLEAR}$が"H"レベルになったときに解除される.

(a) ポジティブ・エッジ・トリガ Dフリップフロップの動作

入力					出力	
$\overline{PRESET}$	$\overline{CLEAR}$	CLOCK	J	K	Q	$\overline{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↓	L	L	変化なし	
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	トグル	
H	H	H	X	X	変化なし	

(b) JKフリップフロップの動作

〈図3-18〉[16] レベル・トリガ型フリップフロップの表現

入力		出力	
D	C	Q	$\overline{Q}$
L	H	L	H
H	H	H	L
×	L	Q_0	$\overline{Q_0}$

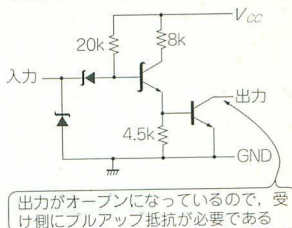
〈図3-19〉[9] オープン・コレクタ出力(74LS05)

● **ポジティブ・エッジ・トリガ**　(positive edge trigger)

図3-17(a)のようにストローブ信号の立ち上がりでトリガすること．

● **ネガティブ・エッジ・トリガ**　(negative edge trigger)

図3-17(b)のようにストローブ信号の立ち下がりでトリガすること．

● **レベル・トリガ**　(level trigger)

ラッチなどにおいて，トリガ信号がHレベルかLレベルかによってトリガするもの．ラッチならば，ラッチ中はロジック・レベルを固定しておく必要がある(図3-18)．

● **オープン・コレクタ**　(open collector)

TTLなどのバイポーラICの出力がコレクタ開放型になっているもの(図3-19)．

ワイヤードORや負荷の駆動に使う．

● **オープン・ドレイン**　(open drain)

CMOSロジックICなどの出力がドレイン開放型になっているもの．

ワイヤードORや負荷の駆動に使う．

● **トーテムポール出力**　(totem-pole output)

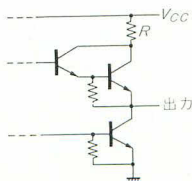
TTLの出力回路の形式．図3-20のように電流吐き出しトランジスタと電流吸い込みトランジスタを直列に接続したもの．

● **ライン・ドライバ**　(line driver)

比較的に長距離の区間で信号を送るときに，伝送線を駆動するためのIC．代表的なものとしてEIA-232ライン・ドライバがある．

● **ライン・レシーバ**　(line receiver)

比較的に長距離の区間を通じて送られてきた信号を受けるときに，伝送線から信号を受信するためのIC．代表的なものとしてEIA-232ライン・レシーバがある．

〈図3-20〉トーテム・ポール出力

● **ライン・トランシーバ** (line transceiver)
　ライン・ドライバとライン・レシーバが一体になったIC.

● **MSB** (Most Significant Bit)
［対］→ LSB
　最上位ビット．もっとも重み付けの大きいビット.

● **LSB**[9] (Least Significant Bit)
［対］→ MSB
　最下位ビット．もっとも重み付けの小さいビット.

プログラマブル・ロジック

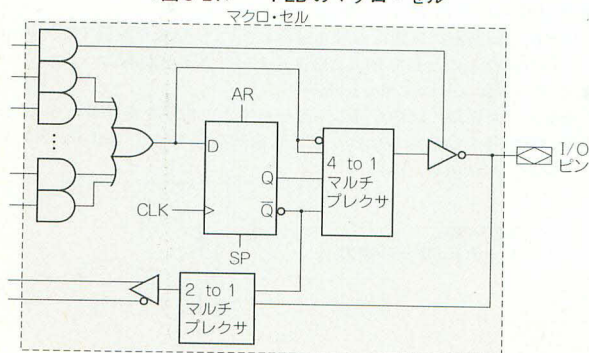
● **ASIC** (Application Specific Integrated Circuit, エイシック)
　特定用途用のIC. ゲート・アレイ，スタンダード・セルなどを使って設計したカスタムICなどを指す.

● **PLD** (Programmable Logic Device)
　一般に多入力AO(AND-OR)に接続されたマクロ・セルを複数もち，それぞれのマクロ・セルを接続する内部配線を変更することによって，多様な論理を実現するデバイス.

● **プログラマブル・ロジック・デバイス**
［同］→ PLD

● **マクロ・セル** (macro cell)
(1) ゲート・アレイにおいて，設計者が使用しやすいように，複数のセルを組み合わせて実現したシンボル.
(2) PLDやCPLDにおいて，フリップフロップおよびゲートをまとめたもの．一般にクロックの極性，データの正論理/負論理，フリップフロップの種類をある程度変更できる(**図3-21**).

● **CPLD** (Complex Programmable Logic Device)
　PLDよりゲート規模の大きいプログラマブル・ロジック．複数のPLD

〈図3-21〉[3] **PLDのマクロ・セル**

相当のセルと，PLD相当のセルを相互接続する配線領域をもつ．PLDより複雑な論理を実現するデバイス．

● **FPGA** (Field Programmable Logic Device)

プログラマブルなゲート・アレイ．専用書き込みツールによって設計したロジックを書き込むことができる．一般にCPLDとは異なるアーキテクチャのものを指す．

● **LUT** (Look Up Table)

参照表．ROM，RAMなどに真理値表を書き込み，この表を参照することにより組み合わせ論理を実現する場合などに使う．

● **アンチヒューズ** (anti-fuse)

通常は絶縁状態にあり，書き込み電圧を加えることにより，接続状態になるヒューズ．

FPGAで使用されているほかのテクノロジと比較して，内部接続のインピーダンスが低くできるため，高速回路を実現しやすい．

● **ISP** (In System Programming)

設計変更を容易にするため，プログラマブル・デバイスをシステムに組み込んだままで，プログラミングする方法．

● **OTP** (One Time Programmable)

[参]→ヒューズROM

アンチヒューズFPGAのように一度しかプログラムの書き込みができないこと．

● **PAL**[10] (Programmable Array Logic)

米国MMI社（Monolithic Memories Inc.；現AMD社）が自社のPLDにつけた商標．

ANDアレイ，ORアレイからなる構造で，ORアレイをあらかじめ固定してあるのが特徴である．

バイポーラ・タイプ（ECLやTTL），再書き込み可能なCMOSタイプや入出力マクロ・セルを内蔵するものもある．

規模は積項数で50～500，ゲート換算で数百ゲート程度である．

● **GAL**[12] (Generic Array Logic)

米国Lattice社が開発した電気書き込み・消去型のPLD．最大の特徴は，いったん書き込んだ回路（論理）を電気的に消去して修正・再利用が可能なことである．

PALとの互換性が考慮してあり，代表的な品種は置き換えが可能である．

● **ASSP**[9] (Application Specific Standard Product)

特定の分野を対象に機能を特化させた汎用LSI．

たとえば通信の場合，従来はCPU周辺の汎用LSIとしてUSARTを使って，個々のプロトコルにはソフトウェアとハードウェアによって対応していた．しかし，特定の通信に最適な機能をもつ通信用ASSPの登場により，開発が容易になって，システムのパフォーマンスが向上するようになった．

また，従来の汎用DSPは信号処理システムとして使用する場合に高度な技術を必要としたが，画像処理専用DSP，オーディオ用DSPといった

機能を特化したDSPが発売されている．これらもASSPである．

● **PLA** (Programmable Logic Array)

[参]→PAL

ORアレイ-ANDアレイからなる構造で，ANDアレイをあらかじめ固定してあるのが特徴である．

● **FPLA** (Field Programmable Logic Array)

[同]→PLA

● **HAL** (Hard Array Logic)

設計データを書き込み済みのPALをマスク・プログラムしたデバイス．書き込みはできないが，PALより安価なので，大量生産時に適している．バイポーラPAL全盛期に使われた．

● **ULC** (Universal Logic Cell)

設計データを書き込み済みのGALをマスク・プログラムしたデバイス．書き込みはできないが，GALより安価で，ラッチアップなどによって破壊しにくいので，大量生産時に適している．

◆第3章の参考・引用文献は第4章に記載◆

第4章

組み合わせ論理回路，順序回路

ロジック設計の基礎用語

松本一之／渕上賢二／宇仁茂義

組み合わせ論理回路

● MIL記法

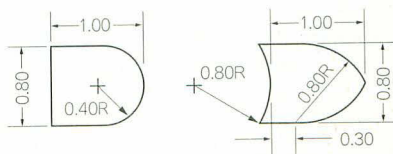
米国のMIL-806規格で制定されたロジック・シンボルとその描き方．現在は廃止され，ANSI/IEEE Std 91-1984に受け継がれている．ロジック・ファンクションが一目でわかることから広く普及しており，ANSI/IEEE Std 91-1984でもその使用が認められた．

ロジック・シンボルの形を図4-1に，記号のバリエーションを図4-2に，おもなシンボルの一覧を図4-3にそれぞれ示す．

次のような特徴がある．

(1) 負論理すなわちLアクティブな信号には白丸を付ける．

(2) ロジック・シンボルは正論理でも負論理でも，ロジック・ファンクションを表す記号を使う．たとえば正論理のORゲートを負論理のANDゲートとして使う場合はANDゲートの記号を使う．

MIL記号にはNOTのシンボルはない(論理設計だけのため)

〈図4-1〉[18]
MIL規格によるおもな論理記号の描き方(寸法は相対値)

〈図 4-2〉(18)　MIL 規格に示されている 2 値論理記号のバリエーション

AND	OR	入力 A	入力 B	出力 X
A B X	A B X	H H L L	H L H L	H L L L
A B X	A B X	H H L L	H L H L	L L H L
A B X	A B X	H H L L	H L H L	L H L L
A B X	A B X	H H L L	H L H L	L L L H
A B X	A B X	H H L L	H L H L	H H H L
A B X	A B X	H H L L	H L H L	H L H H
A B X	A B X	H H L L	H L H L	H H L H
A B X	A B X	H H L L	H L H L	L H H H

ロジック機能	ANSI/IEEE Std 91-1984 方形型	ANSI/IEEE Std 91-1984 区別型	MIL-STD-806-B
ANDゲート	&		
多入力 ANDゲート	&		
ワイヤード ANDゲート	&◇ & &		∞ ∞
ORゲート	≧1		

〈図 4-3〉(19) おもなシンボルの一覧（その 1）

〈図 4-3〉[19]
おもなシンボルの一覧
(その 2)

ロジック機能	ANSI/IEEE Std 91-1984 方形型	ANSI/IEEE Std 91-1984 区別型	MIL-STD-806-B
多入力 ORゲート	≥1		
ワイヤード ORゲート	≥1◇ ≥1 ≥1		∞ ∞
拡張用の接続	& E & E		E
エクスクルーシブ OR	=1		
NOT	1		
電気的反転	1		
アンプ	▷		
タイム・ディレイ (固定)	(t)		(t)
タイム・ディレイ (タップ付き)	(t1) (t2) (t3)		(t) (t2) (t3) (t1)

● **ブール代数** (Boolean algebra)

ジョージ・ブールによって提唱された論理代数の定理(**図 4-4**).

● **ド・モルガンの定理** (de Morgan's theorem)

ド・モルガンによって提唱された論理代数の定理(**図 4-5**).たとえば正論理の AND は負論理の OR と,負論理の AND は正論理の OR と,それぞれ等価である.

● **組み合わせ論理回路** (combinational circuit)

内部にフリップフロップなどの記憶素子を含まず,入力条件により出力が一意に決定する回路.

● **真理値表** (truth table)

論理関数を表現するための入力条件とそれに対応した出力値を表にし

(定理 1)	$A + 0 = A$
(定理 2)	$A \cdot 0 = 0$
(定理 3)	$A + 1 = 1$
(定理 4)	$A \cdot 1 = A$
(定理 5)	$A + A = A$
(定理 6)	$A \cdot A = A$
(定理 7)	$A + \overline{A} = 1$
(定理 8)	$A \cdot \overline{A} = 0$
(定理 9)	$\overline{\overline{A}} = A$
(定理 10)	$A + A \cdot B = A$
(定理 11)	$A(A + B) = A$
(定理 12)	$(A + B) \cdot (A + C) = A + B \cdot C$
(定理 13)	$A + \overline{A} \cdot B = A + B$

(交換法則)

$$A + B = B + A$$
$$A \cdot B = B \cdot A$$

(結合法則)

$$A + B + C = (A + B) + C = A + (B + C)$$
$$A \cdot B \cdot C = (A \cdot B) \cdot C = A \cdot (B \cdot C)$$

(分配法則)

$$A + (B \cdot C \cdot D) = (A + B) \cdot (A + C) \cdot (A + D)$$
$$A \cdot (B + C + D) = A \cdot B + A \cdot C + A \cdot D$$

〈図 4-4〉[16] ブール代数のおもな定理

〈図4-5〉ド・モルガンの定理

(ド・モルガンの定理)

$$\overline{(A + B + C)} = \overline{A} \cdot \overline{B} \cdot \overline{C}$$
$$\overline{(A \cdot B \cdot C)} = \overline{A} + \overline{B} + \overline{C}$$

〈図 4-7〉 インバータの真理値表とロジック・シンボル

IN	OUT
L	H
H	L

(a) 真理値表

IN OUT

(b) シンボル

たもの(図 4-6).

● **インバータ** (inverter)

ディジタルHレベルを入力するとディジタルLレベルを出力し,ディジタルLレベルを入力するとディジタルHレベルを出力するゲート回路(図 4-7).

NOT 演算を行う. ロジック・インバータ.

● **NOT ゲート** (NOT gate, ノット・ゲート)

[同] →インバータ

〈図 4-6〉 代表的なゲート回路の真理値表とロジック・シンボル

入力		代表的なゲート					
X	Y	AND	OR	NAND	NOR	ExOR	ExNOR
L	L	L	L	H	H	L	H
L	H	L	H	H	L	H	L
H	L	L	H	H	L	H	L
H	H	H	H	L	L	L	H
正論理							
負論理							

● **反転ロジック**
[同]→インバータ

● **ANDゲート** (AND gate, アンド・ゲート)
すべてのロジック入力が, ディジタルHレベルのときにHレベルを出力し, それ以外の場合にはLレベルを出力するゲート回路(図4-6).
正論理で設計した場合はAND演算器, 負論理の場合はOR演算器として使用する.

● **ORゲート** (OR gate, オア・ゲート)
いずれか一つの入力がディジタルHレベルのときにHレベルを出力し, それ以外の場合にはLレベルを出力するゲート回路(図4-6).
正論理で設計した場合はOR演算器, 負論理の場合はAND演算器として使用する.

● **NANDゲート** (NAND gate, ナンド・ゲート)
すべての入力がディジタルHレベルのときにLレベルを出力し, それ以外の場合にはHレベルを出力するゲート回路(図4-6).
ANDゲートの出力にインバータを接続したゲート回路.

● **NORゲート** (NOR gate, ノア・ゲート)
いずれか一つの入力がディジタルHレベルのときにLレベルを出力し, それ以外の場合にはHレベルを出力するゲート回路, ORゲートの出力にインバータを接続したゲート回路(図4-6).

● **AOIゲート** (AND-OR-INVERT gate)
複数のANDゲートを入力とするORゲートの出力にインバータを接続したゲート回路(図4-8).
おもにゲート・アレイなどのマクロに使用される. 同様なものとしてOAI(OR-AND-INVERT)などがある.

● **OAIゲート** (OR-AND-INVERT gate)
[参]→AOIゲート

● **ExORゲート** (Exclusive OR, エクスクルーシブ・オア)
排他的ORゲート, 奇数本の入力がディジタルHレベルの場合にHレベルを出力し, それ以外の場合はLレベルを出力するゲート回路(図4-6).
パリティ演算回路, 数値演算回路に多用される.

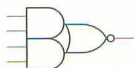
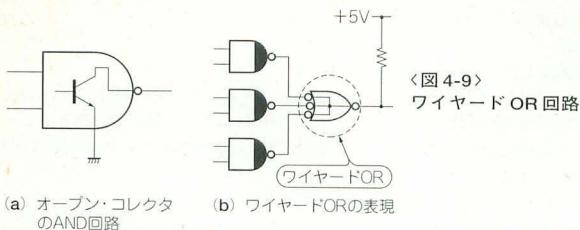
● **ExNORゲート** (Exclusive NOR, エクスクルーシブ・ノア)
ExORゲートの出力にインバータを接続したゲート回路(図4-6).
一致検出回路などに使用される.

● **インクルーシブORゲート** (inclusive OR)
[同]→ORゲート

● **ワイヤードOR** (wired OR)
[参]→ワイヤードAND
ロジック回路の出力どうしを接続して構成するORゲート.

〈図4-8〉
AOIゲートの例

〈図 4-9〉
ワイヤード OR 回路

(a) オープン・コレクタのAND回路 (b) ワイヤードORの表現

たとえばロジック回路の出力がオープン・コレクタの場合，図 4-9 のように出力どうしをプル・アップ抵抗で接続すると，負論理の OR として使用することができる．

● **ワイヤード AND** (wired AND)

［参］→ワイヤード OR

ロジック回路の出力どうしを接続して構成する AND ゲート．

たとえばロジック回路の出力がオープン・コレクタの場合，図 4-9 のように接続すると正論理の AND ゲートとして使用することができる．

● **エンコーダ** (encoder)

入力された信号を符号化する回路，7セグメント・エンコーダ，BCDエンコーダなどがある．

● **デコーダ** (decoder)

符号化されたデータを復号する回路．

組み合わせ論理回路では，特定の入力条件の場合だけ出力がアサートされる回路を指す．

● **マルチプレクサ** (multiplexer)

複数の信号を多重化して一つの信号にするもの．複数の信号のうち一つだけを選択して出力するもの．

● **デマルチプレクサ** (demultiplexer)

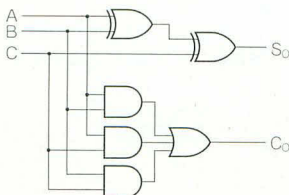
マルチプレクサにより多重化した信号をそれぞれの出力に分配するもの．

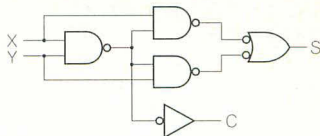
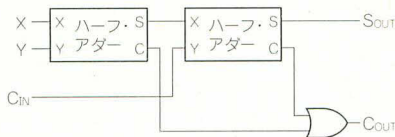
● **アダー** (Adder)

加算回路． 通常は2進数の加算回路を指す． 演算回路の基本をなす．負数として2の補数を使うと減算も可能である (図 4-10)．

● **ハーフ・アダー**[10] (half adder)

半加算器． 下位の桁からのキャリ信号 (C_{IN}) をもたない加算器［図 4-11 (b)］．

部分和 S とキャリ C は次のように表せる．

〈図 4-10〉
アダーの回路図

〈図 4-11〉 ハーフ・アダーとフル・アダー

(a) 2数加算のカルノ図　　(b) ハーフ・アダー回路

(c) フル・アダー回路

$$S = X \cdot \overline{Y} + \overline{X} \cdot Y = X \oplus Y$$
$$C = X \cdot Y$$

● **フル・アダー** [10] (full adder)

全加算器．下位の桁からのキャリ信号 (C_{IN}) をもつ加算器［図 4-11 (c)］．

全和 S_{OUT} とキャリ C_{OUT} は次のように表せる．

$$S_{OUT} = X \cdot Y \cdot C_{IN} + \overline{X} \cdot \overline{Y} \cdot C_{IN} + \overline{X} \cdot Y \cdot \overline{C_{IN}} + X \cdot \overline{Y} \cdot \overline{C_{IN}}$$
$$C_{OUT} = X \cdot Y + Y \cdot C_{IN} + C_{IN} \cdot X$$

● **加算器**

［同］→アダー

● **論理演算子** (logical operator)

論理演算を論理式で表現する場合に使う記号 (図 4-12)．

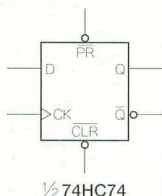
順序回路

● **Dフリップフロップ** (Delay flip-flop)

データおよびクロックの二つの入力をもち，クロック入力の有為な

〈図 4-12〉
論理演算子

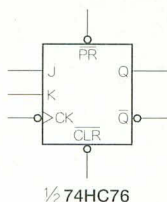
演算子	日本語	ニモニック	ロジック・シンボル	論理式
・(または×)	論理積	AND	A B — Y	Y=A・B
＋	論理和	OR	A B — Y	Y=A+B
⊕	排他的論理和	ExOR	A B — Y	Y=A⊕B
¯ (上線)	否定	NOT	A — Y	Y=$\overline{A}$

〈図4-13〉ポジティブ・エッジ・トリガDフリップフロップのシンボルと真理値表

½74HC74

$\overline{\text{PRESET}}$	$\overline{\text{CLEAR}}$	CLOCK	D	Q	$\overline{\text{Q}}$
入力				出力	
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	変化なし	

*$\overline{\text{PRESET}}$と$\overline{\text{CLEAR}}$が$V_{IL(max)}$近くのときQ, $\overline{\text{Q}}$出力は$V_{OH(min)}$を満足しない場合がある. この状態はPRESETまたはCLEARがHレベルになったときに解除される.

〈図4-14〉JKフリップフロップのシンボルと真理値表

½74HC76

$\overline{\text{PRESET}}$	$\overline{\text{CLEAR}}$	CLOCK	J	K	Q	$\overline{\text{Q}}$
入力					出力	
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H	H
H	H	↓	L	L	変化なし	
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	反転	
H	H	H	X	X	変化なし	

エッジ時に入力されているデータの値を状態として取り込み, クロック入力に有為なエッジがあるまで, 状態を保持する回路(**図4-13**).

● **JKフリップフロップ**　(JK flip-flop)

クロックの有効なエッジのときに, J入力だけがアサートされた場合, 内部状態がセットされ, K入力がアサートされた場合, 内部状態がリセットされる. J入力とK入力が同時にアサートされた場合は, 内部状態が反転する. 同期式のRSフリップフロップとして動作する(**図4-14**).

● **バイナリ・カウンタ**　(binary counter)

2進数を計数するカウンタ. 普通カウンタと言った場合バイナリ・カウンタを指す. フリップフロップの個数をnとすると2のn乗まで計数できる(**図4-15**).

● **LFSR**　(Linear Feedback Shift Register)

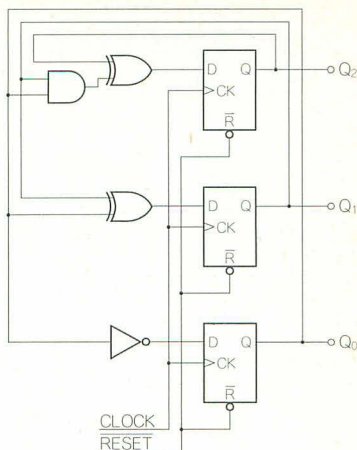
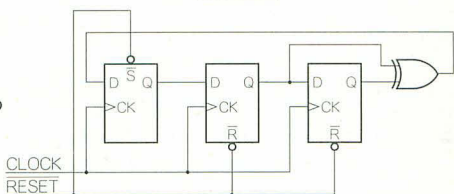
ExORで帰還をかけたシフトレジスタによって構成されるカウンタ. フリップフロップの個数をnとすると2^n-1まで計数できる. 生成される出力が疑似乱数になっているため, 通信用によく使用される(**図4-16**).

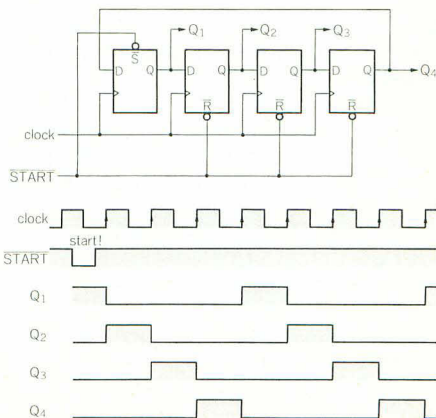
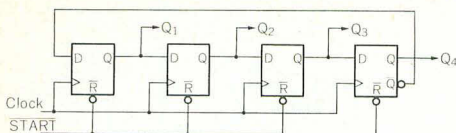
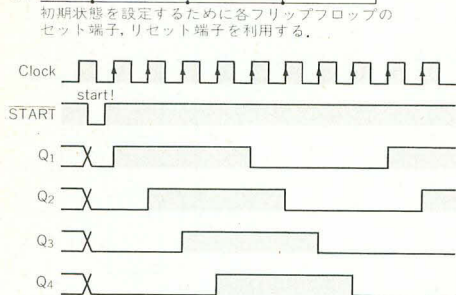
● **カウンタ**[9]　(counter)

計数回路. クロック入力にしたがって, 時間的に状態の変化する信号を出力する回路. 順序動作の基本回路である.

● **リング・カウンタ**[9]　(ring counter)

シフトレジスタの最終段の出力を初段の入力に接続して, 閉じたループを構成する. クロック信号に同期して, パルス出力がつぎつぎと隣の出力に移動していくようなカウンタ(**図4-17**).

〈図4-15〉
3ビット・バイナリ・カウンタの回路例

〈図4-16〉
3ビットLFSRの回路例

初期状態を設定するために各フリップフロップのセット端子，リセット端子を利用する．

〈図4-17〉[9]
リング・カウンタ

〈図4-18〉[9] ジョンソン・カウンタ

通常のバイナリ・カウンタの出力をデコードしてパルス列を発生した場合,カウンタを構成するフリップフロップが少なくてすむという利点がある反面,出力パルスが「ひげ」を伴う欠点がある.

これに対してリング・カウンタはn進カウンタにn個のフリップフロップを必要とする一方で,「ひげ」のない良質のパルス列を発生できる.

● **ジョンソン・カウンタ**[9] (Johnson counter)

シフトレジスタの最終段の出力の反転信号を初段の入力に接続して閉じたループを構成し,クロック信号に同期して,一定のパターンのパルス出力がつぎつぎと隣の出力に移動していくようなカウンタ(図4-18).

リング・カウンタと違って,デューティ比50%の相互にオーバーラップした出力が得られる.

● **レート・マルチプライヤ**[9] (rate multiplier)

入力クロックに対して,設定比にパルス密度を下げて出力する一種の分周回路.

カウンタは整数比の分周しかできないのに対して,n分のmのような有理数比の分周ができる.

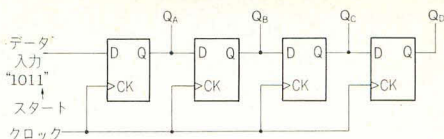
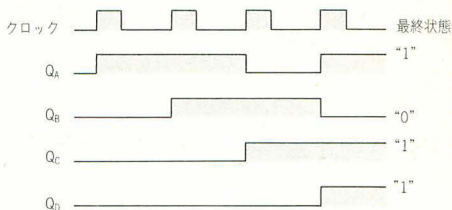
ただし,入力クロックのパルス列から特定のパルスを歯抜けさせるために,出力パルスの間隔は一定にはならず,変換比は平均値となる.

● **シフトレジスタ**[10] (shift register)

レジスタの一種.シフト・パルスが与えられるたびに内容が1桁ずつ移動する.

シフト方向によって右シフト型,左シフト型,左右シフト型がある.また,データの入出力方法によってパラレル型とシリアル型がある.

図4-19は4ビット右シフト型のシフトレジスタをDフリップフロップで構成した例を示す.

シフトレジスタは単にデータを蓄えるだけでなく,次のような機能をもつ.

〈図 4-19〉[10]
シフトレジスタ

・直列データから並列データへの変換，または並列データから直列データへの変換
・信号の遅延
・乗算および除算

● フリップフロップ (flip-flop)

双安定マルチバイブレータ，バイステーブル・マルチバイブレータともいう．

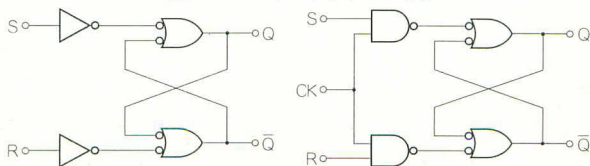
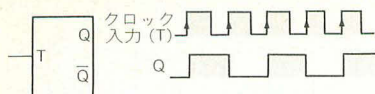
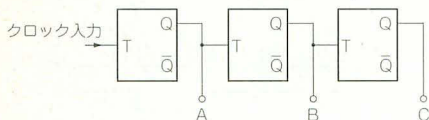
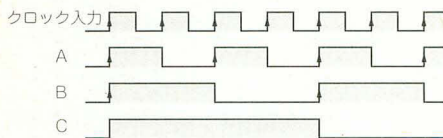
パルスが入力されるたびに出力がHレベル→Lレベル→Hレベル→…と変化する．

各種ロジック回路の記憶素子，カウンタ回路，分周回路などに多用される．

ロジックICとしては，RSフリップフロップ，JKフリップフロップ，Dフリップフロップなどがある．

● RSフリップフロップ (Reset Set flip-flop)

もっとも基本的なフリップフロップ．回路例を図4-20に示す．図(a)においてS(Set)入力を"L"→"H"→"L"にすると出力Qがセットされ"L"→"H"になる．出力Qが"H"の状態で，R(Reset)を"L"→"H"→"L"にすると出力Qがリセットされ"H"→"L"になる．

● SRフリップフロップ

〈図 4-20〉 RSフリップフロップ

〈図4-21〉
Tフリップフロップ

〈図4-22〉
Tフリップフロップによる2^n進カウンタ

[同]→RSフリップフロップ

● **Tフリップフロップ**[10]　(Toggle flip-flop)

クロック・パルスがトリガ入力Tに与えられるたびに出力が"H"→"L"→"H"→…と変化(トグル)するフリップフロップ(図4-21).

これをn段継続接続すると,2^n進カウンタが構成できる(図4-22).

● **トグル・フリップフロップ**

[同]→Tフリップフロップ

● **ワンショット・マルチバイブレータ**　(one-shot multivibrator)

トリガ・パルスが入力されると,出力に一定時間幅の1発のパルスを出力するマルチバイブレータ.

TTLのSN74121など.

● **リトリガブル・ワンショット・マルチバイブレータ**　(retriggerable one-shot multivibrator)

トリガ・パルスが入力されると,出力に一定時間幅の1発のパルスを出力するマルチバイブレータであって,パルス出力中に再度トリガ・パルスが入力されると,出力中のパルスをさらに一定時間だけ出力する.

TTLのSN74122, SN74123など.

● **マルチバイブレータ**　(multivibrator)

[同]→フリップフロップ

単にマルチバイブレータというと,非安定マルチバイブレータを指すこともある.

● **シングル・ショット・マルチバイブレータ**　(single shot multivibrator)

[同]→ワンショット・マルチバイブレータ

● **モノ・マルチ**　(mono multivibrator)

[同]→ワンショット・マルチバイブレータ

● **単安定マルチバイブレータ**　(mono-stable multivibrator)

[同]→ワンショット・マルチバイブレータ

● **双安定マルチバイブレータ**　(bi-stable multivibrator)

[同]→フリップフロップ

● **非安定マルチバイブレータ**　(astable multivibrator)

トリガ・パルスの有無に関わらず，出力パルスを連続的に発生する回路．パルスを連続的に出力する自励発振回路．パルス・ジェネレータ．

● **自走マルチバイブレータ**　(free running multivibrator)

[同]→非安定マルチバイブレータ

● **エクルス・ジョルダン回路**　(Eccles Jordan circuit)

[同]→フリップフロップ

● **ステート・マシン**　(state machine)

あらかじめ決められた複数の状態を，決められた条件にしたがって，決められた順番で遷移していくディジタル・デバイス．

● **ステート・ダイヤグラム**　(state diagram)

[同]→状態遷移図

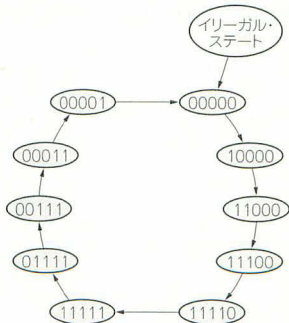
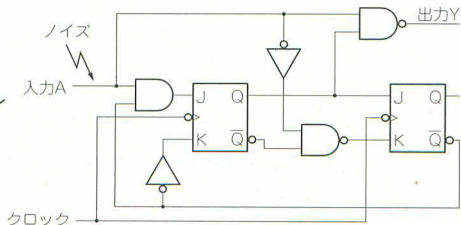
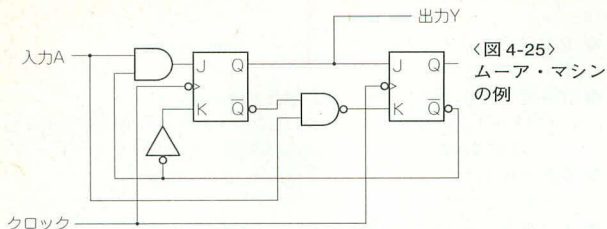
● **状態遷移図**

順序回路の設計において，各状態に遷移する条件と各状態を表した図(図4-23)．

● **ミーリ・マシン**　(Mealry machine)

同期式回路は，その出力信号の処理によってミーリ・マシンとムーア・マシンに分けることができる．

ミーリ・マシンの入力は現在の出力ステートの他に入力をもつ．この

〈図4-23〉
5ビット・ジョンソン・カウンタの状態遷移図

〈図4-24〉
ミーリ・マシンの例

〈図4-25〉ムーア・マシンの例

ため図4-24では入力Aにノイズが混入すると，ノイズの影響がそのまま出力Yに現れてしまう．

● **ムーア・マシン**　(Moore machine)

同期式回路は，その出力信号の処理によってミーリ・マシンとムーア・マシンに分けることができる．

ムーア・マシンの出力は現在の出力ステートによってだけ決定される．このため図4-25では入力Aにノイズが混入しても，そのまま出力Yに現れてしまうことがない．

● **シーケンサ**　(sequencer)

順序回路．内部にフリップフロップなどの記憶素子を含み，内部状態および入力条件により出力が決定する回路．

入力条件により内部状態を遷移させるため，有限状態遷移機械(finit state machine)とも呼ぶ．

● **有限状態遷移機械**　(finit state machine)

[同]→シーケンサ

● **FSM**　(Finit State Machine)

[同]→シーケンサ

● **ワン・ホット・エンコーディング**　(one hot encoding)

フリップフロップ1個につき一つの状態を定義したシーケンサの設計手法．

出力にハザードが発生しない，高速動作が可能などの特徴がある．

● **ワン・ホット・ステート**　(one hot state)

[同]→ワン・ホット・エンコーディング

● **エンコーデッド・シーケンサ**　(encoded sequencer)

一つの状態を複数のフリップフロップの組み合わせで定義したシーケンサの設計手法．

少ないフリップフロップで実現できる，イリーガル・ステートの処理が容易などの特徴がある．

● **イリーガル・ステート**　(illegal state)

無効なステート．無効な状態．

◆第3章および第4章の参考・引用*文献◆

(1) *川村孝；ロジック回路の図面のかき方/考え方，トランジスタ技術1990年11月号，p.392，CQ出版(株)．

(2) *小林芳直；ステートマシンの基礎，トランジスタ技術1996年5月号，p.262，CQ出版（株）．
(3) * Specifications GAL22LV10 Lattice Semiconductor Corporation.
(4) ハイスピードC²MOS，1989，（株）東芝．
(5) '85三菱半導体バイポーラディジタルIC〈LSTTL〉編，1985年9月10日，第1版，（株）誠文堂新光社．
(6) 小林芳直；ASICの論理回路設計法，初版，昭和63年，CQ出版（株）．
(7) 畔津明仁；はじめての数値演算回路設計，インターフェース1990年12月号，CQ出版（株）．
(8) 笹尾勤；論理回路設計，初版，1995，（株）近代科学社．
(9) *長嶋洋一；基本ディジタル用語解説，インターフェース1990年4月号別冊付録，CQ出版（株）．
(10) *鈴木荘一編著；天野尚，竹田吉信，橋本勝，平沢正孝，内田和幸，川村靖明，安藤和正；IC/LSI基礎用語辞典，トランジスタ技術1989年9月号別冊付録，CQ出版（株）．
(11) * '86年度版 主要IC端子接続早見表，トランジスタ技術1986年1月号別冊付録，CQ出版（株）．
(12) *猪飼國夫／本田中二；定本ディジタル・システムの設計，p.372，1990年，CQ出版（株）．
(13) *畦津明仁；ハード設計ワンランク・アップ，p.95，CQ出版（株）．
(14) *山崎傑；基本・ディジタルIC用語解説，インターフェース1984年2月号別冊付録，CQ出版（株）．
(15) *猪飼國夫；ロジック回路設計のトレンド，トランジスタ技術1994年7月号，pp.206～213，CQ出版（株）．
(16) *高橋謙司；ロジック回路図の描き方，トランジスタ技術1994年7月号，pp.214～220，CQ出版（株）．
(17) *原誠，大幸秀成；ロジックICファミリと新しい低電圧動作デバイス，トランジスタ技術，1994年7月号，p.221～235，CQ出版（株）．
(18) * Military Standard；Graphic Symbols for Logic Symbols；MIL-STD-806-B，26Feb.，1962.
(19) * IEEE Standard Graphic Symbols for Logic Functions；ANSI/IEEE Std 91-1984.
(20) IEC規格；IEC Pub. 117，Part-15；IEC Pub. 617，Part-12.
(21) 小田靖；シミュレータを使ったディジタル回路設計スタディ，トランジスタ技術1994年7月号，pp.236～264，CQ出版（株）．
(22) PAL Device Data Book and Design Guide 1995；Advanced Micro Devices, Inc.

第5章

OP アンプ

アナログ IC の基礎用語

染谷克明／渡辺明禎／渕上賢二／宇仁茂義

OP アンプ

● **OP アンプ** (operational amplifier, オペアンプ)

演算増幅器．通称 OP アンプと呼ぶ．図記号を**図 5-1** に示す．

OPアンプの歴史は古く，真空管時代にさかのぼる．アナログ計算機の加算器，微分器，積分器を構成するために必要な増幅器として使われていたため，演算増幅器と呼ばれている．アナログ演算を行うには，抵抗器，コンデンサなどを組み合わせる必要がある．

汎用 OP アンプは，直流から数 MHz 程度の交流信号を増幅する．

基本的な回路構成は，入力側から，差動増幅回路，レベル・シフト回路，出力回路から構成される．

二つの入力端子に加えられた信号の差の電圧を増幅したのち，直流レベル・シフト回路で出力端子で無信号時にゼロになるように直流レベルを移動し，出力回路で電力増幅して出力している．

極めて増幅度の大きい差動増幅器．等価回路を**図 5-2** に，おもな用語と略号を**表 5-1** にそれぞれ示す．

● **オペアンプ**

[同] → OP アンプ

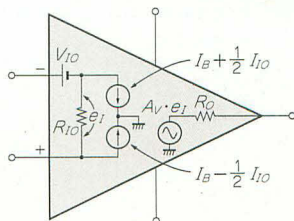
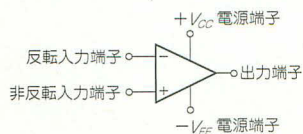
● **演算増幅器**

[同] → OP アンプ

● **反転入力** (inverting input)

[参] → OP アンプ

〈図 5-1〉 OP アンプの図記号

〈図 5-2〉 OP アンプの基本等価回路

〈表5-1〉 OPアンプの用語

項目	記号	理想値	一般的な値	単位
電圧利得	A_V	∞	10～3000	V/mV
入力オフセット電圧	V_{IO}	0	0.01～30	mV
入力バイアス電流	I_B	0	0.01p～1μ	A
差動入力抵抗	R_{IO}	∞	0.1～10^6	MΩ
電圧温度ドリフト	$\Delta V_{IO}/\Delta T$	0	0.01～10	μV/℃
電流温度ドリフト	$\Delta I_{IO}/\Delta T$	0	0.001p～1n	A/℃
周波数帯域	BW	∞	0.1～700	MHz
スルー・レート	SR	∞	0.1～3000	V/μs
入力換算雑音	V_{NI}	0	0.1～10	μVP-P
同相信号除去比	$CMRR$	∞	60～120	dB
電源除去比	$PSRR$	∞	40～110	dB

反転,非反転とは,入力信号と出力信号の関係を表したものであり,反転入力端子に加えた信号が,プラスの増加方向にあるとき,出力信号は,マイナスの方向に増加する.

交流信号の場合,反転入力端子に加えられた入力信号と出力信号は,逆位相になる.

図記号では"－"で表す.

● **非反転入力** (non inverting input)

[参]→OPアンプ

反転,非反転とは,入力信号と出力信号の関係を表したものであり,非反転入力端子に加えた信号は,同極性,同じ変化方向の出力信号となる.

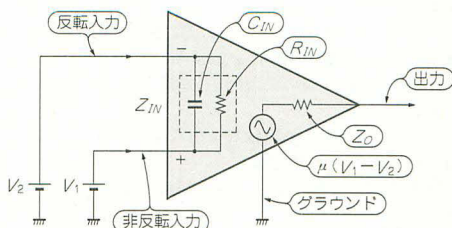
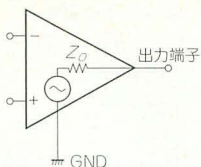
交流信号の場合,非反転入力端子に加えられた入力信号と出力信号は,同位相になる.

図記号では"＋"で表す.

● **入力インピーダンス** (input impedance)

OPアンプの反転入力端子と非反転入力端子間の交流的なインピーダンス. **図5-3**ではR_{IN}である.

入力周波数が低く,入力端子間の容量C_{IN}が無視できるときは,入力抵抗と呼ぶ場合がある.

〈図5-3〉 OPアンプの等価回路

〈図5-4〉
出力インピーダンス

OPアンプを扱うとき,OPアンプ自身の入力インピーダンスと外付けした周辺素子で決まる回路としての入力インピーダンスがあるので,使い分けに注意する必要がある.

● **出力インピーダンス**　(output impedance)

図5-4に示すように,出力端子から見た交流的なインピーダンスである.

等価回路では,出力端子から内部回路を通ってグラウンド(コモン端子)に存在する等価インピーダンスである.

OPアンプで取り扱う周波数が低く,出力容量が無視できるときは,出力抵抗と呼ぶこともある.

通常,OPアンプの出力抵抗は数Ωから十数Ω程度である.したがって,負荷抵抗は出力インピーダンスより十分大きくしないと,出力インピーダンスの影響で出力が低下することがある.

● **バイアス電流**　(bias current)

OPアンプの入力端子に流れ込む電流.

バイアス電流の少ないOPアンプは,一般に高入力インピーダンスである.

バイポーラ型OPアンプでは,スーパーβトランジスタを採用して,バイアス電流の極小化を図ったものがあるが,ゼロにするとトランジスタは駆動できない.

FET入力型OPアンプでは,JFETやMOSFETのゲート漏れ電流がバイアス電流となる.バイポーラ型に比べ,FET入力型OPアンプのバイアス電流は,けた違いに少ないが,接合部温度が10℃上昇すると2倍になることが広く知られている.最近は,この温度特性は改善されている.

● **スーパーβトランジスタ**　(super beta transistor)

直流電流増幅率が非常に大きいトランジスタ.ダーリントン回路とは異なり,半導体プロセスによって,実現している.耐圧が低い.

バイポーラ型OPアンプの入力に使われることがある.

● **オフセット電流**　(offset current)

OPアンプの二つの入力端子に流れ込むバイアス電流の差をオフセット電流という.

原因は,初段の差動増幅器を構成するトランジスタやFETなどの各定数の微小なばらつきである.

両入力端子に接続される外部回路の影響を受けるので,注意が必要である.

バイポーラ型OPアンプのオフセット電流の補償方法として,入力抵抗と帰還抵抗を並列合成した値の抵抗器を,非反転入力端子とグラウンド間に接続する方法がある.

入力端子に流れ込む電流または流れ出す電流.この値が大きいと入力インピーダンスが小さくなる.微小電流測定用アンプの場合はとくに問題となる.一般に温度が高くなると,バイポーラ入力は小さく,FET入力は大きくなる傾向がある.

● オフセット電圧 (offset voltage)

OPアンプの二つの入力端子にバイアス電流が流れ込むことによって,差動増幅器を構成するトランジスタのベース-エミッタ間,FETのゲート-ソース間に電圧を発生する.

この電圧の差がオフセット電圧である.入力回路を構成するトランジスタ,FETの微小な定数の差によって発生する.動作させたときの現象として,二つの入力端子を0Vにしても,出力電圧が0Vにならない.

OPアンプによっては,オフセット調整端子を設けて,外部からオフセット電圧を調整できるものもある.

● ドリフト (drift)

漂動.二つの入力端子に入力信号を加えない状態において,OPアンプの出力が緩やかに変動する現象をいう.原因として,オフセット電流,オフセット電圧の温度依存性,経年変化などがある.

規格には,オフセット電流およびオフセット電圧の温度係数が記載されていることが多い.

周囲温度の変化,空気の流れなどによる外的要因と定常状態に達するまでのウォーミング・アップ中のドリフト,自分自身の発熱によるドリフトなどがある.過負荷による発熱などは避けなければならない.

ドリフトが問題となる用途向けには,低ドリフト用OPアンプがある.

● オフセット電圧の温度ドリフト

初段差動増幅部のアンバランスなどにより生じたオフセット電圧の変動.この値で増幅器として使える微小電圧レベルが決まる.

例えば15 μV/℃で利得100倍のアンプの場合,周囲温度が20℃変化すると出力電圧は $15 \times 10^{-6} \times 20 \times 100 = 30\mathrm{mV}$ 変化する.

● バイアス電流の温度ドリフト

微小電流測定用アンプなどの場合に問題となる.初段に使うデバイスが,バイポーラか,FETか,MOSFETかなどでかなり異なる.

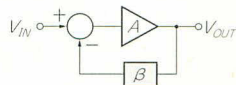
一般にバイポーラ入力は負の係数,FET入力は正の係数である.

● オープン・ループ・ゲイン[7] (open loop gain)

帰還をかけないときの利得.

回路の出力電圧と入力電圧の比をいい,単位はdB(デシベル)で表される.

一般にOPアンプのような高利得の増幅器は図5-5のように帰還βをかけて使用するが,オープン・ループ・ゲインは帰還をかけないときの利得 A を意味する.

V_{IN} ＋ － A V_{OUT} β

$$G=\frac{V_{OUT}}{V_{IN}}=\frac{A}{1+A\cdot\beta}$$

A: オープン・ループ・ゲイン
β: 帰還率

〈図5-5〉[7]
オープン・ループ・ゲイン

● **開ループ利得**

［同］→オープン・ループ・ゲイン

● **周波数帯域**　(frequency band)

OPアンプの入力に交流信号を加えて，0から可変していったとき，その利得が1となる入力信号の周波数．

● ***GB*積**　(Gain Band width product)

帯域幅と利得の積．利得が100倍で，帯域幅が1MHzならば*GB*積は100MHzとなる．

● **スルー・レート**　(slew rate)

OPアンプなどの最大応答速度を表す指標．

入力に立ち上がりの速い理想的なパルスを加えたときの，出力電圧の立ち上がり時間をオシロスコープで観測し，出力電圧の変化をV/μsなどで表す．

パルスのかわりに正弦波を使って，周波数を少しずつ上昇させ，出力波形がひずみを生じない最高周波数とそのときの振幅からも求めることができる．

一般的に被測定OPアンプはボルテージ・フォロワ接続として，規定負荷抵抗，負荷容量を接続した状態で測定する．

高スルー・レートOPアンプでは，数100V/μs，特別なものでは数kV/μsの製品もある．

入力に方形波を入れた場合の，出力の立ち上がり，あるいは立ち下がりが，1μsあたり何Vドライブ可能かを意味している．これによりOPアンプの出力が高周波でいかに振幅電圧を大きくとれるかの目安を与える．

スルー・レートと帯域幅は必ずしも比例しない．その理由は，位相補償方法，入力段の構成要素などによって変わるからである．

● ***SR***

［同］→スルー・レート

● **入力換算雑音電圧**　(equivalent input noise voltage)

入力に換算した状態で考えた雑音を，その電流成分と電圧成分から計算するには次式を使う．

$$E_T = \sqrt{\{e_n^2 + (i_n R_g)^2 + 4KTR_g\} B}$$

ここで，

E_T：入力換算全雑音電圧［V］

e_n：入力狭帯域雑音電圧［V/$\sqrt{\mathrm{Hz}}$］

i_n：入力狭帯域雑音電流［A/$\sqrt{\mathrm{Hz}}$］

R_g：信号源抵抗［Ω］

K：ボルツマン定数［1.381×10^{-23}J/K］

T：絶対温度［K］

B：帯域幅［Hz］

雑音電圧，電流の値が周波数依存性をもつ場合には，周波数で積分する必要がある．

● ***CMRR***　(Common Mode Rejection Ratio)

同相信号除去比．二つの入力端子に同相信号を加えたときの利得と差動信号を加えたときの利得の比をいう．

$$CMRR = \frac{A_{NM}}{A_{CM}}$$

ただし，A_{NM}：差動利得，A_{CM}：同相利得．

この値の対数をとり，デシベル表示することが多い．

OPアンプとしては，差動利得が大きく，同相利得が小さいほど*CMRR*は大きくなり，理想アンプに近いものとなる．

● **同相利得**　(common mode gain)

OPアンプの二つの入力端子に，グラウンドを基準にして同じ電圧を加えたときの，入力電圧と出力電圧の比をいう．

交流を入力して周波数を変化させ，出力電圧を測定すれば，同相利得の周波数特性が求められる．

入力端子に加えられる同相の最大電圧は，一般的には，正負電源電圧の範囲内である．

● **コモン・モード・ゲイン**

［同］→同相利得

● **差動利得**　(differential gain)

OPアンプの反転，非反転入力端子に加えた電圧と出力電圧の比である．

OPアンプ自身の開ループ利得と同じである．入力信号を交流として，周波数を変化させたときの，出力電圧を測定すると，差動利得の周波数特性が求められる．

● ***PSRR***　(Power Supply Rejection Ratio)

電源電圧の変化によって，入力オフセット電圧が増減する割合を表す値である．

電源電圧の変動により，バイアス電流が変化し，差動増幅回路のトランジスタの定数の電圧依存性により，対称性がくずれ，オフセット電圧が発生する．

● ***SVRR***　(Supply Voltage Rejection Ratio)

［同］→ *PSRR*

● **電源除去比**

［同］→ *PSRR*

● **単一電源動作**　(single power supply operation)

OPアンプは，正電源と負電源の2電源で動作させるのが一般的である．しかし，交流増幅器として使用する場合や，直流でも入力電圧が正または負のいずれかだけなら，正電源または負電源のどちらか一方だけで使用できる．

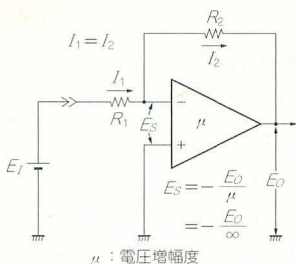
ただし，バイアス電圧源を設ける必要があり，バイアス電圧は電源電圧の半分に設計することが多い．

単一電源動作用OPアンプは，単一の正電源で動作させた場合，入出力電圧が0V付近でも正常に動作するよう設計されている．

● **単電源動作**

［同］→単一電源動作

● **バーチャル・ショート**　(virtual short)

仮想的短絡．OPアンプの反転入力端子と非反転入力端子間のインピーダンス，すなわち入力インピーダンスは非常に高く，理想増幅器とみ

〈図 5-6〉
バーチャル・ショートの説明

なせば無限大であり，両端子間は，切り離されていると考えられる．

OPアンプ自身の増幅度μは非常に大きい．たとえば**図5-6**において，出力を電源電圧E_Oまで駆動した場合を考えると，OPアンプ自身の入力端子間の電圧E_Sは$E_S \fallingdotseq E_O/\mu$と表される．$\mu \fallingdotseq \infty$なので，$E_S \fallingdotseq 0$すなわち二つの入力端子の電圧差はゼロに近く，仮想的にショートしていると考えられる．

● イマジナリ・ショート　(imaginary short)

［同］→バーチャル・ショート

● 仮想短絡

［同］→バーチャル・ショート

● フィード・フォワード補償　(feed forward compensation)

スピードの遅い初段差動部分をバイパスして信号の高周波成分を直接次段に送ること．OPアンプの高周波特性が非常に改善される．

位相補償方法の一つ．OPアンプの位相補償では一般に補償コンデンサにより利得周波数帯域を小さく，利得が1になっても位相が180°を越さないようにしている．ところがこのために，帯域が小さくなるため利得が小さくなる，高周波領域で動作しなくなるなどの欠点がある．

フィード・フォワード補償は帰還をかけて使用している場合，利得が1でも位相が180°を越えないように位相遅れを軽減させる方法をいう．

● 短絡保護回路　(short protection circuit)

出力端子が短絡した場合，OPアンプの出力トランジスタが破壊されるのを防ぐ回路．一般的なOPアンプは，すべてこの保護回路を内蔵している．

高速広帯域OPアンプLH0032などの保護回路のないICの出力端子を短絡すると，簡単に出力トランジスタが破壊されるので注意が必要である．

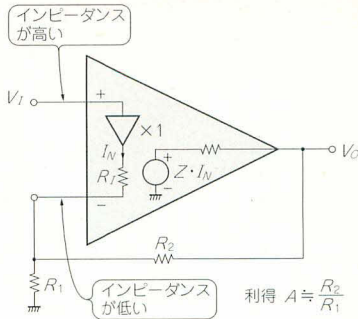
● ライン・ツー・ライン・アンプ　(line to line amplifier)

［同］→レイル・ツー・レイル動作

● レイル・ツー・レイル動作　(rail to rail operation)

一般的にOPアンプの最大出力電圧振幅は，電源電圧の上限および下限より1～2V程度少ない．したがって，動作電源電圧が低いと，出力電圧が十分取り出せない．

それに対し，レイル・ツー・レイル動作のOPアンプは，出力電圧をほ

〈図 5-7〉
電流帰還型 OP ンプ

ほ電源電圧いっぱいまで取り出すことができる.

● **パワー OP アンプ** (power operational amplifier)

OP アンプの出力段にパワー・トランジスタを使ったもので, 数百 V, 数 A 程度までの出力を取り出すことができるものがある.

● **電流帰還型 OP アンプ** (current feedback type amplifier)

広帯域で高利得の増幅器を構成しても帯域が狭くならないという大きな特徴をもつ. 入力構造は従来の差動構造ではなく, 非反転入力を入力としたバッファ回路となっている. 図 5-7 に等価回路を示す.

● **ノートン・アンプ** (Norton amplifier)

入力回路が電流差動型の OP アンプ.

入力電圧を電流に変換するための外部抵抗が必要となる.

LM3900 などが代表的.

● **インスツルメンテーション・アンプ** (instrumentation amplifier)

計装増幅回路とも呼ばれる. 平衡入力アンプで同相信号除去比 (*CMRR*) を大きくとれることが特徴.

一般に信号を伝送する際に外部から侵入するノイズは同相成分なので, このアンプを使えば同相ノイズを除去できる.

● **チョッパ・アンプ** (chopper amplifier)

微弱な直流電圧 (10mV 以下) の増幅に, 通常の OP アンプではオフセット・ドリフトが大きくて使えない.

そこで直流をチョッパで交流にし, それを交流増幅したあと, 再び直流に変換するのがチョッパ・アンプである.

従来はアナログ・スイッチと OP アンプで構成されていたが, 最近ではそれらを集積化した ICL7650 などがよく使われる.

● **複合アンプ** (hybrid amplifier)

低ドリフトの直流増幅器と広帯域の直結型増幅器とを組み合わせて, 低ドリフト広帯域化した増幅器.

一般に低ドリフトの直流増幅器は周波数帯域が小さく, 広帯域の直結型増幅器はドリフト特性が悪いので, 互いの欠点を補完しあう形で使う.

● **バイポーラ型 OP アンプ** (bipolar type operational amplifier)

プレーナ技術を使って, 数十個から数百個の NPN トランジスタ, PNP

トランジスタ，ダイオード，抵抗器などをシリコン・チップに作り込むことによって構成したOPアンプ回路．

用途によっては位相補償用コンデンサをも作り込むことがある．

● **バイポーラ入力型OPアンプ**

［参］→バイポーラ型OPアンプ

入力の差動増幅回路をバイポーラ・トランジスタで構成したOPアンプ．

● **FET入力型OPアンプ**　(FET input type operational amplifier)

バイポーラ型は，入力トランジスタの電流増幅率をどんなに大きくしても，バイアス電流が必要である．そこでバイアス電流を必要としない電圧駆動素子のFETを入力回路に使って，高入力インピーダンス化を図ったものである．

JFETで$10^4 \sim 10^{10}\,\Omega$，MOSFETでは入力インピーダンスは無限大に近く，バイアス電流は0.1pA程度になる．

しかし，FETの温度特性はあまり良くなく，温度上昇と共にバイアス電流が増加し，バイポーラと比較して，優位性がなくなる場合があるので注意する必要がある．

● **コンパレータIC**　(comparator IC)

［参］→コンパレータ

電圧比較器のことで，二つの入力電圧の大きさを比較するもの．使用目的によりOPアンプか専用ICを使う．

● **前置増幅器**

［同］→プリアンプIC

● **プリアンプIC**　(pre-amplifier)

マイク，テープ・レコーダのヘッド，カートリッジなどからの信号のように，小さい電圧を増幅するためのICや回路．低周波低雑音増幅器が使われる．周波数特性は数百kHz程度である．

● **オーディオ・パワー・アンプ**　(audio power amplifier)

［参］→低周波電力増幅IC

● **AFパワー・アンプ**　(Audio Frequency power amplifier)

［参］→低周波電力増幅IC

● **低周波電力増幅IC**　(low frequency power amplifier IC)

増幅回路とパワー・トランジスタを集積化した電力増幅回路やIC．大きく分けてカー・オーディオ用（電源電圧13.5V）と，電池用（同9V以下），オーディオ機器用（同15V以上）などに大別できる．

● **MMIC**　(Microwave Monolithic IC)

マイクロ波の増幅，発振，ミクサなどを目的にしたIC．

◆第5章の参考・引用文献は第6章に記載◆

第6章

増幅回路，電圧源，演算回路，フィルタ，発振回路，回路技術，機能回路，電力増幅回路

アナログ回路の基礎用語

染谷克明／渡辺明禎／渕上賢二／宇仁茂義

増幅回路

● **アンプ** (amplifier)

増幅作用を行う装置．増幅器．

● **理想増幅器** (ideal amplifier)

理想増幅器の条件を以下に列挙する．

- 入力インピーダンスは無限大．
- 出力インピーダンスはゼロ．
- 開ループ電圧増幅度は無限大．
- 周波数特性は直流から無限大の周波数まで平坦．
- 雑音が発生しない．

OPアンプは増幅器の中では理想増幅器に近いものと考えられるが，完全ではない．しかし，用途に応じて条件を満足するなら，理想増幅器とみなすことができ，取り扱いが容易になる．

● **反転増幅回路** (inverting amplifier)

OPアンプを利用した基本的な増幅回路の一つ．交流信号の場合，入出力は逆相になる．

図6-1に示すように，外部に抵抗器R_1，R_2を接続している．R_1を入力抵抗または直列抵抗，R_2を帰還抵抗という．

この回路の特徴は，入出力の位相が反転している点にある．入力インピーダンスはR_1の値で決まり，増幅器としては，入力インピーダンスをあまり大きく設計できない点にある．

増幅度Aは，入力抵抗と帰還抵抗の比で次式のように決まる．マイナス符号は，位相が反転していることを表している．

〈図6-1〉反転増幅回路

〈図6-2〉 非反転増幅回路

〈図6-3〉 ボルテージ・フォロワ回路

$$A=-\frac{R_2}{R_1}$$

● **非反転増幅回路** (non inverting amplifier)

OPアンプを使用した基本的な増幅回路の一つ.

図6-2に示すように外部に2個の抵抗器を接続する.

入力信号は, 非反転入力端子に加え, 抵抗器R_1の一端はグラウンドに接続する. この回路の特徴は, 入出力信号が同位相である点にある.

入力インピーダンスはOPアンプ自身のインピーダンスであり, 比較的高い.

増幅度Aは次式で表され, 反転増幅器より1だけ大きくなる.

$$A=1+\frac{R_2}{R_1}$$

● **ボルテージ・フォロワ** (voltage follower)

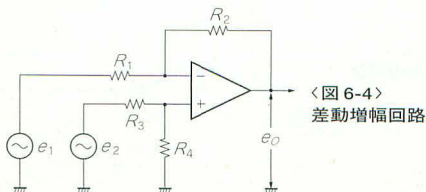
入力電圧と同じ出力電圧が得られる回路.

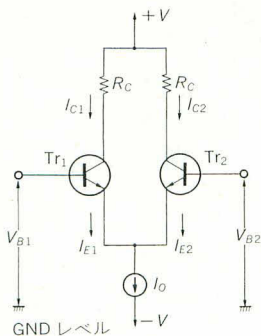
増幅度は1で入出力の位相は同相である. 増幅度が1なので, 無意味な回路のように思われるが, その目的はインピーダンス変換にある.

図6-3に回路例を示す. 図において信号源e_1の出力インピーダンスが高いと, インピーダンスの低い回路に直接接続した場合, 電圧降下が大きく有効に信号を伝えられない. しかし, ボルテージ・フォロワを使えば, 入力インピーダンスは高く, 出力インピーダンスは低いため, 有効に信号を伝えられる.

● **差動増幅回路** (differential amplifier circuit)

OPアンプの二つの端子に二つの入力信号をそれぞれ加えた場合, それら入力電圧の差を増幅し, 出力する回路.

図6-4に回路を示す. 各抵抗器の値は, $R_1=R_3$, $R_2=R_4$にする必要がある. 出力電圧e_Oは,

〈図6-4〉
差動増幅回路

〈図6-5〉(7)　トランジスタによる差動増幅回路

▶差動増幅回路の伝達特性

$$I_{C1}=\frac{\alpha I_O}{1+\exp\left\{\frac{q(V_{B2}-V_{B1})}{kT}\right\}}$$

$$I_{C2}=\frac{\alpha I_O}{1+\exp\left\{\frac{q(V_{B1}-V_{B2})}{kT}\right\}}$$

α：ベース接地電流増幅率
q：電気素量
　(1.6×10^{-19} クーロン)
k：ボルツマン定数
　(1.38×10^{-23}J/K)
T：絶対温度 (K)

$$e_O=\frac{R_2}{R_1}(e_2-e_1)$$

になる．差動増幅回路の増幅度は，入力抵抗R_1，帰還抵抗R_2の比で決定される．

● **差動増幅回路**(7)

ペアのトランジスタを図6-5のように対称的に接続して，二つの入力端子の電圧の差を増幅する直流増幅回路をいう．

対称的に作られているために，電源電圧や周囲温度の影響を受けにくい．

IC化した場合には，さらにトランジスタ・ペアの近接条件が良くなることから，OPアンプの入力回路をはじめとしてアナログ集積回路の基本回路として使用されている．

● **低歪(ひずみ)増幅器**　(low distortion amplifier)

低ひずみ率化，低雑音化を目的に作られた増幅器．OPアンプも含まれる．高調波ひずみ率0.003%以下というものも多い．

● **AFアンプ**　(Audio Frequency amplifier)

[同]→低周波増幅器

● **低周波増幅器**　(low frequency amplifier)

オーディオ増幅回路ともいう．高周波と対比して使われ，20Hz～20kHzの可聴周波数帯域の信号を増幅する増幅器の総称．一般には音楽再生に使用するものをいい，用途により電圧増幅タイプのオーディオ・プリアンプ，スピーカを駆動させる電力増幅タイプのオーディオ・パワー・アンプに分けられる．

プリアンプは各音響機器から入力される信号を電力増幅に必要なレベルまで電圧増幅するもので，性能ではダイナミック・レンジ，低ひずみ率，SN比が重視される．またパワー・アンプでは入力された信号をスピーカ駆動可能なレベルまで増幅するためのもので，低ひずみ率，放熱性，安定して動作することなどが求められる．

電圧源

● **定電圧源** (constant voltage source)

電圧が一定で内部抵抗がゼロの電源である.

したがって, 無負荷から, 短絡まで電流を流しても電圧は不変である.

現実の電源は内部抵抗をもつため, 等価回路では定電圧源に内部抵抗を直列に接続した形で表す.

図記号を**図6-6** (a) に示す.

● **定電流源** (constant current source)

電流が一定で内部抵抗が無限大の電源である. したがって, 無負荷から短絡状態にしても, 電流は不変である.

現実の電源は内部抵抗をもつため, 等価回路では定電流源に並列に有限な値の内部抵抗を接続した形で表す.

図記号を**図6-6** (b) に示す.

● **基準電圧**(7) (reference voltage)

回路動作の基準となる安定した電圧または電圧源.

簡単なものではダイオードの順方向電圧 (約0.7V) やツェナ電圧 (5~8V) が使われる.

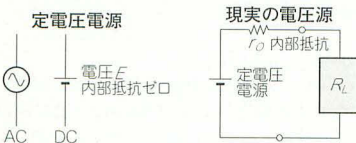
温度変化の少ない電圧源を得るためには, ダイオードの順方向電圧 (温度係数: − 2mV/℃) と, トランジスタのバンド・ギャップ電圧 (温度係数: 26mV + 0.086mV/℃) を増幅して得られる電圧を加えて, 約1.27Vを得て基準電圧としている (**図6-7**).

● **定電圧回路**(7) (constant voltage circuit)

電圧が一定の電圧源または回路をいう.

入力電圧や温度の変動に対して回路動作の安定化を図ったもので, ツェナ・ダイオードや半導体のバンド・ギャップを利用したものなどがある.

図6-8に回路例を示す.

● **定電流回路**(7) (constant current circuit)

(a) 定電圧源

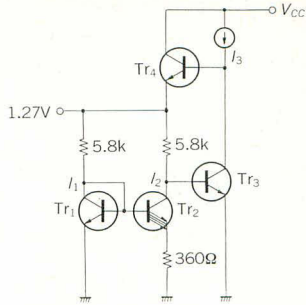
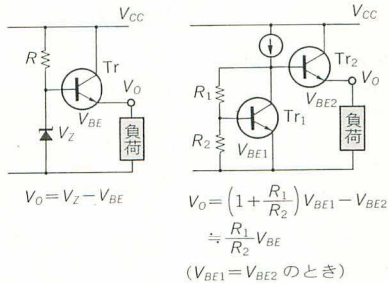
(b) 定電流源

〈図6-6〉
定電圧電源と定電流源

〈図 6-7〉[7]
バンド・ギャップによる基準電圧源の例

〈図 6-8〉[7]
定電圧回路

$V_O = V_Z - V_{BE}$

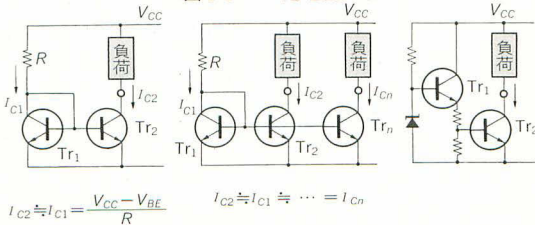
$$V_O = \left(1 + \frac{R_1}{R_2}\right) V_{BE1} - V_{BE2}$$
$$\fallingdotseq \frac{R_1}{R_2} V_{BE}$$
($V_{BE1} = V_{BE2}$ のとき)

(a) ツェナ・ダイオードを利用　(b) トランジスタのV_{BE}を利用

電源電圧や温度の変動に対して安定な一定電流を流す回路をいう．

ICで使われる定電流回路は差動増幅回路の引き込み電流，増幅回路のアクティブ・ロード（能動負荷）などに多く利用されている．

図6-9に回路例を示す．図(a)，図(b)はカレント・ミラー回路から構成され，電源電圧や温度の変動に対して電流の精度を保証している．図(c)はツェナ・ダイオードを使用した例．

〈図 6-9〉[7]　定電流回路

$I_{C2} \fallingdotseq I_{C1} = \dfrac{V_{CC} - V_{BE}}{R}$　　$I_{C2} \fallingdotseq I_{C1} \fallingdotseq \cdots = I_{Cn}$

(a) カレント・ミラー　(b) トランジスタn個のカレント・ミラー　(c) ツェナ・ダイオードを利用

● **電流ミラー回路**
[同]→カレント・ミラー回路

● **カレント・ミラー回路** (current mirror)

図6-9(**a**)において.Tr_1とTr_2の電気的特性が同一ならば,Tr_1のコレクタ電流I_{C1}とTr_2のコレクタ電流I_{C2}は負荷抵抗の値によらず,同じ値になる.

Rの値を設定すると,I_{C1}の値が次式によって決まり,その値が鏡のようにI_{C2}に反映されるので,この名前がある.

$$I_{C2} \fallingdotseq I_{C1} = \frac{V_{CC} - V_{BE1}}{R}$$

ただし,V_{BE1}:Tr_1のベース-エミッタ間電圧

演算回路

● **微分回路** (differentiation circuit)

図6-10に示すように,反転増幅回路の入力抵抗をコンデンサに置換した回路が微分回路である.

この回路の特徴は,入力信号の時間に対する変化量に比例した出力電圧が得られる.出力電圧e_Oは,

$$e_O = -CR\frac{de_I}{dt}$$

で表される.わかりやすくするため,**図**(**b**)のように三角波を入力すると,変化率は一定なので出力も一定になっている.

マイナス符号は極性が反転していることを示している.

微分回路はハイパス・フィルタでもある.

● **積分回路** (integration circuit)

入力信号電圧を時間と積分する回路.**図6-11**(**a**)に示すように,反転増幅回路の帰還抵抗をコンデンサに置換したもの.**図**(**b**)に示すように,方形波を入力端子に加えると,出力は入力電圧を積分した三角波になることがわかる.

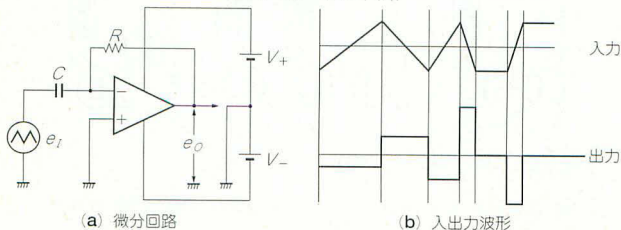
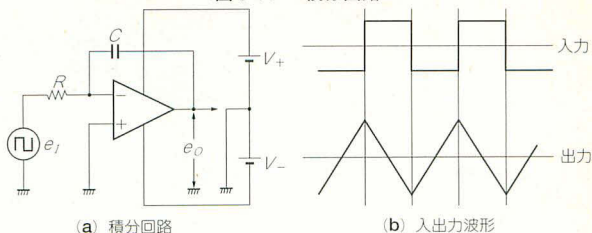
出力電圧e_Oは,次式で表される.

$$e_O = -\frac{1}{CR}\int e_I dt$$

〈図6-10〉 微分回路

(**a**) 微分回路　(**b**) 入出力波形

〈図 6-11〉 積分回路

(a) 積分回路 (b) 入出力波形

マイナス符号は極性が反転していることを示している.

積分器はローパス・フィルタでもある.

● **加算回路** (summing circuit)

OPアンプの二つの入力端子間にバーチャル・ショートが成り立つので,反転入力端子の電位は,非反転入力端子の電位と同じ,つまりグラウンド電位となる.したがって**図6-12**に示すように,各入力抵抗を流れる電流は,反転入力端子に流れ込まないですべての電流は抵抗器R_4を流れる.OPアンプの入力インピーダンスは無限大のため,入力端子には流れ込まない.

電流の和が求められれば,電圧の和も求められ,電圧加算器の動作をする. 反転入力端子を加算点という.

$$I_1=\frac{E_1}{R_1},\ I_2=-\frac{E_2}{R_2},\ I_3=\frac{E_3}{R_3}$$

$$I_4=I_1+I_2+I_3,$$

$$e_O=-I_4R_4$$

$$=-R_4\left(\frac{E_1}{R_1}-\frac{E_2}{R_2}+\frac{E_3}{R_3}\right)$$

ここで, $R_1 = R_2 = R_3 = R_4$ とすれば,

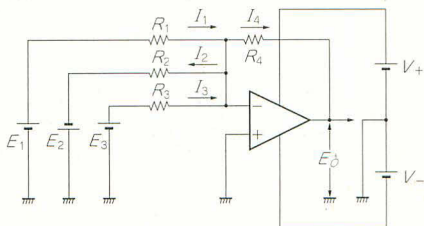
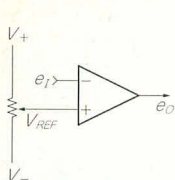
$e_O = -(E_1 - E_2 + E_3)$ になる.

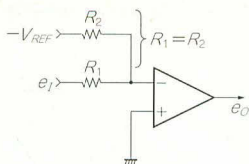
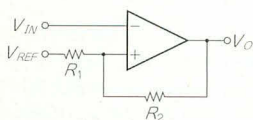
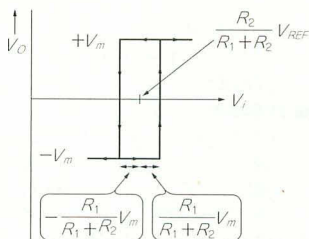
● **コンパレータ** (comparator)

[参]→コンパレータIC

比較器. ここで説明する回路は, 電圧比較回路である. 入力信号レベルが設定値になったとき, 出力信号を発生させる目的で使われる.

図6-13(a)の回路においては, 入力電圧e_Iが非反転入力端子に加えられる基準電圧 (V_{REF}) を越えたときに出力が反転する. 図(b)の回路は,

〈図 6-12〉
加算回路

〈図6-13〉差動型コンパレータ

(a) 差動型　(b) 加算型

〈図6-14〉ヒステリシス・コンパレータ

(a) 回路図　(b) 入出力特性

一種の加算回路であり，抵抗器$R_1 = R_2$ならば，入力信号e_IがV_{REF}を越えたとき，出力が反転する．

● ヒステリシス・コンパレータ　(hysteresis comparator)

［参］→シュミット・トリガ

ノイズが多く含まれている信号を比較したい場合，ノイズでコンパレータ出力が変化しないように，**図6-14**に示すようなヒステリシス・コンパレータを使う．

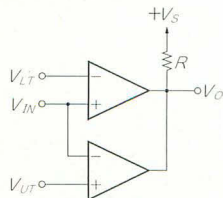
● ウインドウ・コンパレータ　(window comparator)

図6-15に示すように，ある電圧範囲(窓)のときだけ，出力がONまたはOFFになるコンパレータ．

● 理想ダイオード回路　(ideal diode circuit)

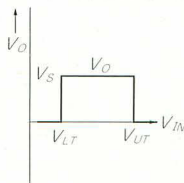
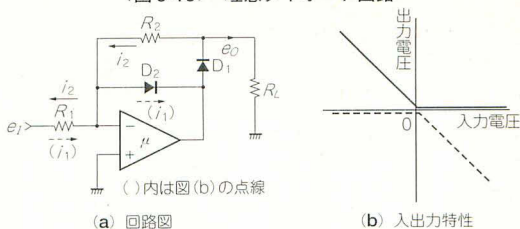
［参］→半波整流回路

半導体ダイオードのように順方向電圧降下がなく，理想的に近い整流特性が得られる回路．

図6-16(a)の回路において，入力電圧e_Iが正のときは，ダイオードD_1はOFF，D_2はONになる．したがって，出力電圧e_Oは反転入力端子の電

〈図6-15〉ウインドウ・コンパレータ

(a) 回路図　(b) 入出力特性

〈図6-16〉 理想ダイオード回路

(a) 回路図　　(b) 入出力特性

圧を抵抗器R_2と負荷抵抗R_Lで分圧した値となり，0Vになる．e_Iが負のときは，D_1はON，D_2はOFFになり，i_2のルートで電流が流れ，反転増幅回路が形成される．このときのD_1の順方向電圧降下V_{D1}は，見かけ上，

$$V_{D1}=\frac{1}{\mu\beta},\quad \beta=\frac{R_1}{R_1+R_2}$$

ただし，β：帰還率

になるため，ほぼゼロになり，理想ダイオード動作になる．

ダイオードの向きを変更すると，点線の特性となる．

● **理想整流回路**　(ideal rectifier circuit)

[同]→理想ダイオード回路

● **半波整流回路**　(half wave rectifier)

[参]→理想ダイオード回路

理想ダイオード回路ともいう．**図6-17**に示すように，OPアンプの帰還ループ内にダイオードを入れることによって，順方向電圧0Vの理想ダイオードを得ようとするもの．

電源回路で使う半波整流回路とは別物である．

● **全波整流回路**　(full wave rectifier)

理想ダイオード回路を組み合わせると全波整流回路が得られる．**図6-18**に示すように，入力電圧の正負に関係なく正の絶対電圧が得られるので，絶対値回路とも呼ばれている．

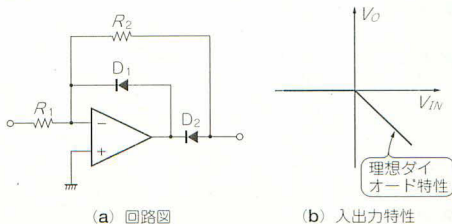
電源回路で使う全波整流回路とは別物である．

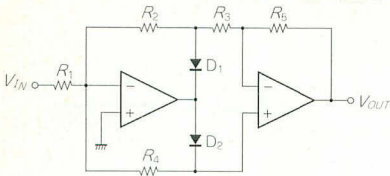
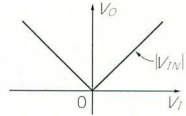
● **両波整流回路**

[同]→全波整流回路

● **絶対値回路**　(absolute value circuit)

[同]→全波整流回路

〈図6-17〉
反転型の理想ダイオード回路

(a) 回路図　　(b) 入出力特性

〈図6-18〉 全波整流回路

(a) 回路図　　(b) 入出力特性

● **AC-DC変換回路** (Alternate Current to Direct Current converter circuit)

交流を全波または半波整流し,それを平均化して直流出力を得る回路.

正弦波の実効値を求めたい場合には,1.11倍を掛けて求めるが,ひずみが多いと誤差が増える.

● **ログ・コンバータ** (logarithmic converter)

[参]→ログ・アンプ

● **対数変換回路** (logarithmic converter circuit)

[参]→ログ・アンプ

● **ログ・アンプ** (logarithmic amplifier)

広い範囲で変化する量を表現したい場合,dBなどのように対数表示すると簡単になる.

対数変換に使われるのがログ・アンプで,入力電圧V_{IN}と出力電圧V_{OUT}の関係は,次式で表される.

$$V_{OUT} = k \cdot \log V_{IN}$$

また,ログ・アンプは乗算や除算にも使える.

回路としては,トランジスタのベース-エミッタ間電圧とコレクタ電流の間の対数特性を利用するものが多い.しかし,ディスクリートで作ると,調整が難しいとか,使える範囲が狭いといったような理由により,専用ICを使うことも多い.

● **逆対数変換回路** (anti-logarithmic converter circuit)

[参]→アンチ・ログ・アンプ

● **アンチ・ログ・アンプ** (anti-logarithmic amplifier)

ログ・アンプで対数圧縮された電圧を元に戻すための回路.

回路としては,ログ・アンプと同様にトランジスタのベース-エミッタ間電圧とコレクタ電流の間の対数特性を利用するものが多い.

● **掛け算器**

[同]→乗算器

● **乗算器** (multiplier)

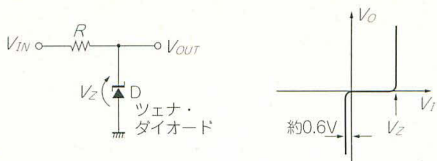
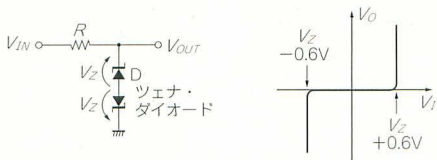
対数,逆対数変換回路を使用して作る.対数の基本的性質を次に示す.

$$\log X + \log Y = \log (X \cdot Y)$$

$$\log X - \log Z = \log (X / Z)$$

したがって,演算したい信号をそれぞれ対数変換したあと,加算と減算を行い,最後に逆対数変換を行えば,乗算と除算の演算結果が得られる.

● **割り算器**

〈図6-19〉 ツェナ・ダイオードによるリミット回路

(a) 正リミッタ

(b) 正負リミッタ

[参]→乗算器

● **除算器** (divider)

[参]→乗算器

● **4象現マルチプライヤ** (four quadrant multiplier)

4象現乗算器. 各入力端子には正負の電圧が入力できるので, 4象現に渡って演算できる.

利得可変増幅回路により構成される. アナログ乗算, 除算, 平方, 平方根, RMS-DC変換, 変調, 復調などに使う.

IC化されたものとして, ICL8013などがある.

● **RMS-DCコンバータ** (Root Mean Squared value to Direct Current converter)

任意の交流電圧波形e_Iの真の実効値e_{RMS}は, 次式で表される.

$$e_{RMS}=\sqrt{\mathrm{Avg}[e_I^2(t)]}$$

すなわち信号を2乗し, その平均をとり, さらにその平方根をとった値である.

IC化したものにAD736などがある.

● **リミッタ** (limiter)

[同]→リミット回路

● **リミット回路** (limiting circuit)

大きな信号をクリップして, 出力振幅を設定電圧以下に抑える回路. **図6-19**に示す回路は, ツェナ・ダイオードのツェナ電圧や, ダイオードの順方向電圧を利用している.

フィルタ

● **HPF** (High-Pass Filter)

[同]→ハイパス・フィルタ

● **高域通過フィルタ**

[同]→ハイパス・フィルタ

● **LPF** (Low-Pass Filter)

[同]→ローパス・フィルタ

● **低域通過フィルタ**

[同]→ローパス・フィルタ

● **BPF** (Band-Pass Filter)

[同]→バンドパス・フィルタ

● **帯域通過フィルタ**

[同]→バンドパス・フィルタ

● **BEF** (Band Elimination Filter)

[同]→バンド・エリミネーション・フィルタ

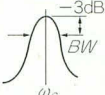
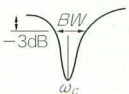
● **BRF** (Band Rejection Filter)

[同]→バンド・エリミネーション・フィルタ

● **帯域除去フィルタ**

[同]→バンド・エリミネーション・フィルタ

● **APF** (All-Pass Filter)

[同]→オールパス・フィルタ

● **全域通過フィルタ**

[同]→オールパス・フィルタ

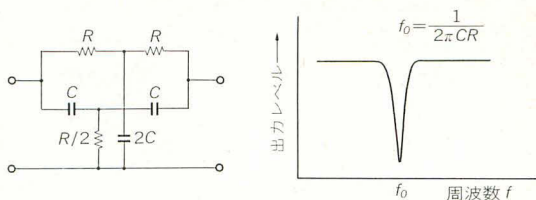
● **カット・オフ周波数** (cut off frequency)

回路の利得が小さくなり，応答しなくなる周波数．

〈図6-20〉[6] フィルタの種類と伝達関数

種類	伝達関数$A(s)$	振幅特性	備考
ローパス	$\dfrac{G\ \omega_c^2}{s^2+\dfrac{\omega_c}{Q}s+\omega_c^2}$		
ハイパス	$\dfrac{G\ s^2}{s^2+\dfrac{\omega_c}{Q}s+\omega_c^2}$		
バンドパス	$\dfrac{G\dfrac{\omega_c}{Q_B}s}{s^2+\dfrac{\omega_c}{Q}s+\omega_c^2}$	−3dB BW ω_c	$Q_B=\dfrac{BW}{\omega_c}$
バンド エリミネート	$\dfrac{G(s^2+\omega_c^2)}{s^2+\dfrac{\omega_c}{Q}s+\omega_c^2}$	BW −3dB ω_c	$Q_B=\dfrac{BW}{\omega_c}$
オールパス	$\dfrac{s^2-\dfrac{\omega_c}{Q}s+\omega_c^2}{s^2+\dfrac{\omega_c}{Q}s+\omega_c^2}$	位相特性	

注▶ Gは通過域ゲイン

〈図6-21〉[7]　ノッチ・フィルタ

(a) ツインTフィルタの回路

(b) 周波数特性

● **遮断周波数**

［同］→カット・オフ周波数

● **ハイパス・フィルタ**　(High-Pass Filter)

遮断周波数以上の周波数の信号だけを通過させ,遮断周波数以下の周波数の信号を減衰させるフィルタ(図6-20).

● **ローパス・フィルタ**　(Low-Pass Filter)

遮断周波数以下の周波数の信号だけを通過させ,遮断周波数以上の周波数の信号を減衰させるフィルタ(図6-20).

● **バンドパス・フィルタ**　(Band-Pass Filter)

ある周波数範囲の周波数の信号だけを通過させ,それ以外の周波数の信号を減衰させるフィルタ(図6-20).

● **バンド・エリミネーション・フィルタ**　(Band Elimination Filter)

ある周波数範囲の周波数の信号だけを減衰させ,それ以外の周波数の信号を通過させるフィルタ(図6-20).

● **ノッチ・フィルタ**[7]　(notch filter)

特定の周波数に急峻な減衰を与えるフィルタ.

図6-21はツインT形ノッチ・フィルタである.

● **オール・パス・フィルタ**　(All Pass Filter)

すべての周波数範囲の信号を通過させ,位相だけを変化させる目的で使われるフィルタ.

● **最大平坦特性**

［同］→バターワース特性

● **バターワース特性**[6]　(Butterworth character)

フィルタの特性の一つ. 通過域が平坦で,通過域のリプルがない[図6-22(a)]. 高精度の測定に適している.

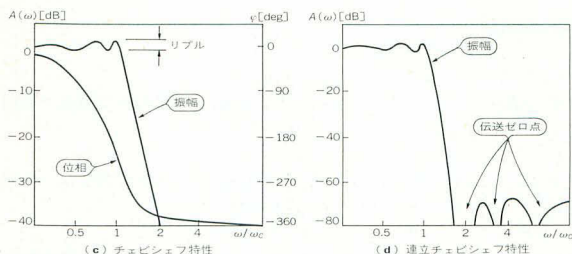
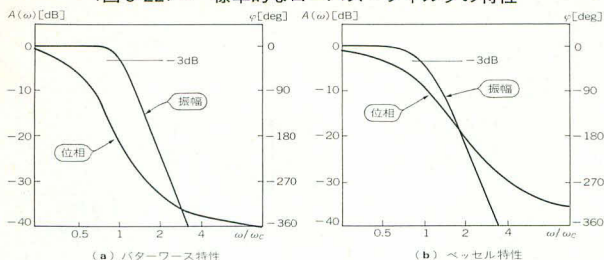
通過域の位相遅れが大きいために波形がひずむ.

● **ベッセル特性**[6]　(Bessel character)

フィルタの特性の一つ. 通過域の位相遅れが一定であり,波形の再現性が高い. かわりに遮断特性は犠牲になっている[図6-22(b)].

● **チェビシェフ特性**[6]　(Chebychev character)

フィルタの特性の一つ. 通過域にリプルがあるが,遮断特性が良い. パルス波形を通すとリンギングを生じることがある[図6-22(c)].

〈図6-22〉[6]　標準的なローパス・フィルタの特性

● **連立チェビシェフ特性**[6]

阻止域に伝送ゼロ点を設けて，特定の周波数を十分減衰させるもの[**図6-22**(**d**)].

● **アクティブ・フィルタ**　(active filter)

[対]→パッシブ・フィルタ

OPアンプやトランジスタなどの能動素子と，抵抗，コンデンサ，コイルを組み合わせることによって構成するフィルタ．

一般にパッシブ・フィルタより小型，軽量である．

アクティブ・フィルタは，増幅素子がリニアに動作する範囲，つまり飽和しないレベルの範囲だけフィルタとして動作する．

能動素子を使っているため，低い周波数での用途が多く，アクティブ・フィルタの優位性が発揮できる．

● **パッシブ・フィルタ**　(passive filter)

[対]→アクティブ・フィルタ

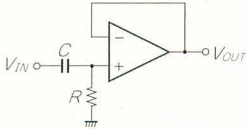
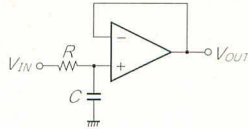
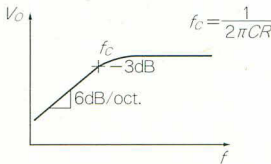
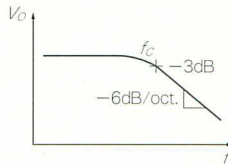
抵抗，コイル，コンデンサなどの受動部品だけで構成したフィルタ．

● **フィルタ回路**　(filter circuit)

図6-23にHPFとLPFのアクティブ・フィルタの回路例を示す．これらは1次フィルタと呼ばれ，6dB/oct.の減衰特性が得られる．

● **バターワース・フィルタ回路**　(Butterworth filter)

2次フィルタの特性は**図6-24**に示すようにQの値によっていろいろに変化する．この中でピークを発生せず，もっとも急峻な減衰特性をもつのがバターワース特性のフィルタで，そのときのQの値は$1/\sqrt{2}$になる．

〈図 6-23〉 1次フィルタ

(a) HPFの回路図

(c) LPFの回路図

(b) HPFの周波数特性

(d) LPFの周波数特性

〈図 6-24〉 2次フィルタの特性

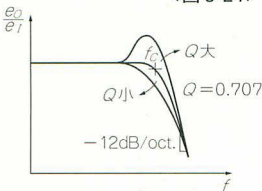
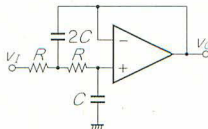
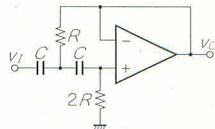



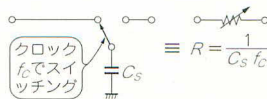
図 6-25 に OP アンプで実現したバターワース・フィルタを示す.

● **SCF** (Switched Capacitor Filter)

[同]→スイッチト・キャパシタ・フィルタ

● **スイッチト・キャパシタ・フィルタ** (switched capacitor filter)

図 6-26 に示すように, コンデンサ C_S をクロック f_C でスイッチングす

〈図 6-25〉 バターワース・フィルタ

(a) 2次LPF　(b) 2次HPF

〈図 6-26〉 スイッチト・キャパシタ

ると等価的に $1/C_S \cdot f_C$ という抵抗になることを利用したフィルタ．

ステート・バリアブル・フィルタの積分器の抵抗としてこれを使うと，積分定数をクロックの周波数で可変でき，結果として周波数を変えられる．

LPF, HPF, BPF, BEFなどの特性をもつフィルタを作ることができる．

● ステート・バリアブル型フィルタ[6]

図6-27に回路を示す．LPF, HPF, BPFなどの出力を取り出すことができる．

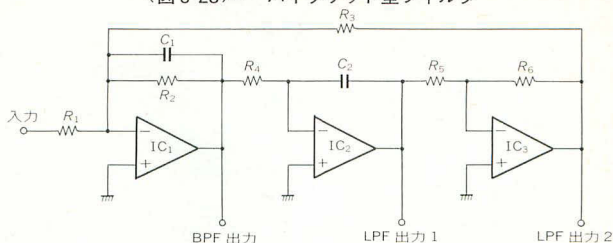
R_6 と R_7 で遮断周波数 ω_C を，R_5 で Q をそれぞれ独立して調整すること

〈図6-27〉[6]　ステート・バリアブル型フィルタ

（a）回路図

LPF	$\omega_C=\sqrt{\dfrac{R_2}{R_3R_6R_7C_1C_2}}$ $Q=\left(1+\dfrac{R_4}{R_5}\right)\left(\dfrac{1}{\dfrac{1}{R_1}+\dfrac{1}{R_2}+\dfrac{1}{R_3}}\right)\sqrt{\dfrac{R_6C_1}{R_2R_3R_7C_2}}$ $G=\dfrac{R_3}{R_1}$
HPF	$\omega_C=\sqrt{\dfrac{R_2}{R_3R_6R_7C_1C_2}}$ $Q=\left(1+\dfrac{R_4}{R_5}\right)\left(\dfrac{1}{\dfrac{1}{R_1}+\dfrac{1}{R_2}+\dfrac{1}{R_3}}\right)\sqrt{\dfrac{R_6C_1}{R_2R_3R_7C_2}}$ $G=\dfrac{R_2}{R_1}$
BPF	$\omega_C=\sqrt{\dfrac{R_2}{R_3R_6R_7C_1C_2}}$ $Q_B=\left(1+\dfrac{R_4}{R_5}\right)\left(\dfrac{1}{\dfrac{1}{R_1}+\dfrac{1}{R_2}+\dfrac{1}{R_3}}\right)\sqrt{\dfrac{R_6C_1}{R_2R_3R_7C_2}}$ $G=\dfrac{Q_B}{R_1}\sqrt{\dfrac{R_2R_3R_7C_2}{R_6C_1}}$

（b）設計式

〈図6-28〉(6)　バイクワッド型フィルタ

（a）回路図

LPF 出力 1	$\omega_C=\sqrt{\dfrac{R_6}{R_3R_4R_5C_1C_2}}$ （R_6 で調整） $Q=R_2\sqrt{\dfrac{R_6C_1}{R_3R_4R_5C_2}}$ （R_2 で調整） $G=\dfrac{R_3R_5}{R_1R_6}$ （R_1 で調整）
LPF 出力 2	$\omega_C=\sqrt{\dfrac{R_6}{R_3R_4R_5C_1C_2}}$ （R_6 で調整） $Q=R_2\sqrt{\dfrac{R_6C_1}{R_3R_4R_5C_2}}$ （R_2 で調整） $G=-\dfrac{R_3}{R_1}$ （R_1 で調整）
BPF	$\omega_C=\sqrt{\dfrac{R_6}{R_3R_4R_5C_1C_2}}$ （R_3 で調整） $Q_B=R_2\sqrt{\dfrac{R_6C_1}{R_3R_4R_5C_2}}$ （R_2 で調整） $G=-\dfrac{R_2}{R_1}$ （R_1 で調整）

（b）設計式

ができる．

● 状態変数フィルタ

［同］→ステート・バリアブル型フィルタ

● バイクワッド型フィルタ(6)　(bi-quad type filter)

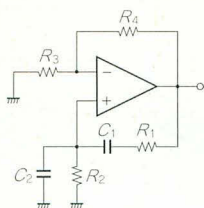
図6-28に回路を示す．ステート・バリアブル型フィルタと比べて，積分器の一つが完全積分器となっており，二つのLPF出力とBPF出力をもつ．

素子の変動に対して遮断周波数やQが安定している．また，各項目を独立して調整することができる．

発振回路

● ターマン発振回路　(Terman oscillation circuit)

基本回路を**図6-29**に示すが，実際には発振振幅を安定させるための

〈図 6-29〉 ターマン発振回路

AGC 回路などが必要になる．

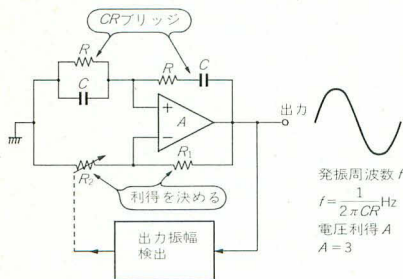
● **ウィーン・ブリッジ発振回路**　(Wien bridge oscillation circuit)

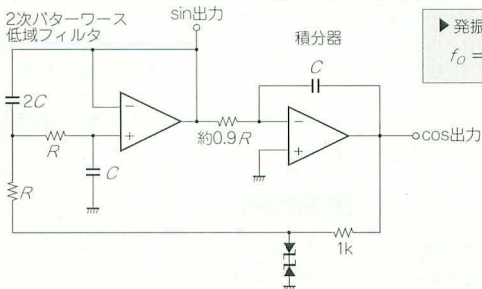
ターマン発振回路の発振振幅を安定化する機能を盛り込んだ発振回路．**図 6-30** に基本回路を示す．

● **移相型正弦波発振器**　(phase shift type sine wave oscillator)

図6-31 に示すように，2次の低域フィルタ回路と積分回路によりループを組んだもので，全体の位相回転が－360° になる周波数で発振する．

● **VCO**　(Voltage Controlled Oscillator)

直流電圧の制御によって，発振周波数を変えることができる発振回路．FM 変調や PLL (フェーズ・ロックド・ループ) などに使われる．OP ア

〈図 6-30〉[8]
ウィーン・ブリッジ発振回路の動作

〈図 6-31〉 移相型正弦波発振回路

ンプで作るものは簡単だが発振周波数が低い.

回路技術

● **位相補償** (phase compensation)

交流増幅回路の動作上限周波数の近辺で,不安定動作の原因となる位相の回転を補償すること.

図 6-32 に示す開ループ利得の周波数特性で説明する.

傾斜 − 6dB/oct. では,入出力の位相差は最大で90°で回路動作は安定である.

− 12dB/oct. では最大 180° 遅れで不安定になる可能性がある.

− 18dB/oct. では不安定な領域になる.

● **位相補償**(7) (phase compensation)

OP アンプなどの広帯域・高利得の増幅回路では帰還をかけて使用するが,増幅回路自体の位相が180° を越すと,帰還回路から正帰還されるために発振してしまう.

このため適正な利得周波数特性を保つために回路の一部に補償回路を設けて,位相をコントロールして発振を防止,安定動作させている.

IC 化 OP アンプでは内部に位相補償を内蔵したものが多く,100% フィードバックし,利得1で動作させても安定なように設計されている.反面,高い利得での動作は位相補償コンデンサで制約されるため,帯域幅は小さくなる欠点がある.

位相補償内蔵型に対して,外付け位相補正タイプは各使用状態に合わせて最適の位相補償ができるため,周波数帯域を損なわずに使用できるメリットがある.

● **フェーズ・マージン** (phase margin)

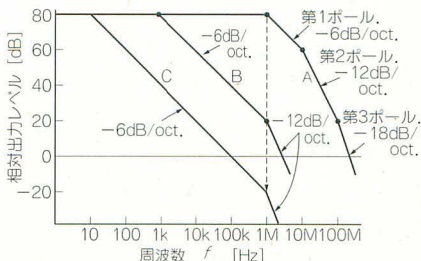
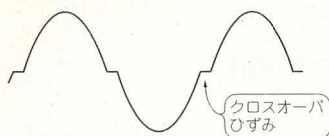
[同] →位相余裕

● **位相余裕**(7) (phase margin)

増幅器の利得-位相周波数特性で,利得が1になった周波数での位相遅れ角と 180° との差分を位相余裕という.

● **クロスオーバひずみ**(7) (crossover distortion)

B級プッシュプル増幅器の出力信号において,正の半サイクルと負の

〈図 6-32〉 交流増幅回路の位相補償

〈図6-33〉
クロスオーバひずみ

半サイクルの合成点に発生する非直線性ひずみ(図6-33).

B級プッシュプル増幅器では正の半サイクルをドライブするトランジスタと負の半サイクルをドライブするトランジスタとが別である.

二つのトランジスタは消費電流を減らすため入力に信号がない場合,微小電流(アイドル電流)しか流れないようにバイアスされている.

入力に信号が入り,出力が正から負あるいは負から正に変化する過程で,どちらかのトランジスタがOFFからONになるときに,トランジスタの低電流領域の非直線性ひずみが現れ,耳障りな音を発生する.この改善策としてはアイドル電流を少し増やすと良い.

● **クロストーク**[7] (crosstalk)

漏話.ある回路や回線に,浮遊容量,寄生容量,アースの共通インピーダンスなどの影響により,不必要な信号が漏れること,またはその割合.次のような場合がある.

(1) ステレオ信号の録音,再生のとき,左右の信号がそれぞれ,互いのチャネルに漏れ合うこと.

(2) 電話,無線信号などで,通話回線あるいは隣接チャネルの信号が希望チャネルあるいは回線に漏れること.

(3) テレビの音声多重信号で,主信号と副信号がそれぞれ,互いの信号に漏れ合うこと.

(4) 複数のゲートをもつロジックICにおいて,動作しているゲートが,静止しているゲートの出力に影響を与えること.

● **NFB** (Negative Feedback)

[参]→フィードバック回路

● **負帰還回路** (negative feedback)

[参]→フィードバック回路

● **PFB** (Positive Feedback)

[参]→フィードバック回路

● **正帰還回路** (positive feedback)

[参]→フィードバック回路

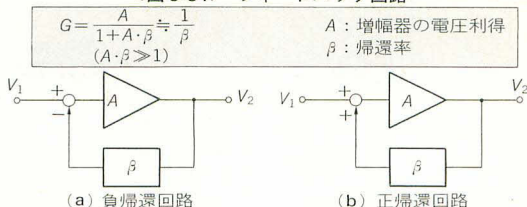
● **フィードバック回路**[7] (feedback circuit)

増幅器の出力を帰還回路を通して入力にもどし,入力信号と加減した信号を増幅器の入力に加えることをいう.帰還された信号が入力信号と逆相の場合は負帰還といい,同相の場合を正帰還という.

負帰還回路の場合の利得は図6-34の式で示され,利得は低下するが,負帰還により回路動作はより安定化し,周波数特性,ダイナミック・レンジ特性などが改善される.

正帰還回路では,入力信号を出力信号により強調するように動作させるため,非常に大きな利得が得られる.一般に発振回路などでは正帰還

〈図6-34〉　フィードバック回路

（a）負帰還回路　（b）正帰還回路

により発振させる．同様にシュミット・トリガ回路として使われる．

● **ブートストラップ**[7] (bootstrap)

(1) 帰還量1の正帰還をかけ，帰還された点のインピーダンスを高くする方法．図6-35(a)はアンプの入力抵抗を高くする例である．Aの増幅率の値が十分に高い場合，$V_I=V_F$となり，V_IによってR_3に流れる電流は0となるため，入力抵抗は増幅器の入力抵抗と等しくなる．

(2) またエミッタ・フォロワ回路において，エミッタからベースに正帰還をかけて電圧利用率を上げる方法[図6-35(b)]．

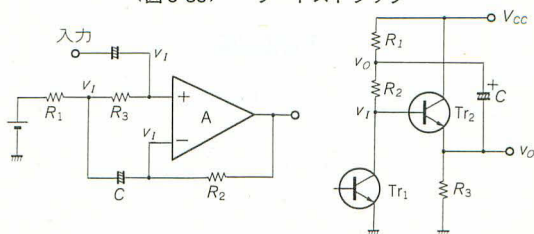
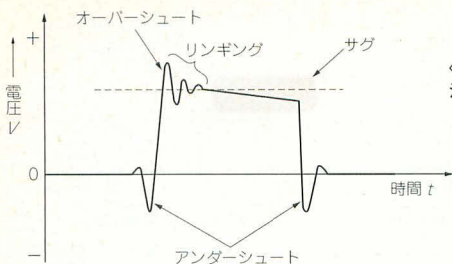
図(b)は，Tr_2を飽和状態までドライブする回路である．ブートストラップ・コンデンサCによりR_1とR_2の接続点に$V_O\fallingdotseq V_I$の信号が現れ，Tr_1の負荷抵抗はTr_2の入力抵抗とほぼ等しくなる．またR_1, R_2の接続点は正の半サイクルでV_{CC}より高くなり，Tr_2を飽和状態までドライブすることができる．

● **スイッチング・ノイズ**[7] (switching noise)

トランジスタをON/OFFしてスイッチング動作させるTTLや，そのほかのロジックICなどで，スイッチング動作の過渡状態で発生するスパイク波形成分をいう．同時にクロック信号によるクロストーク成分も含まれることもある．

スイッチング・レギュレータ回路では，スイッチング・ノイズが出力リプル電圧に重畳されるため，スイッチング周波数成分とスイッチング・ノイズ成分の対策を行う必要がある．

〈図6-35〉[7]　ブートストラップ

（a）アンプの入力抵抗を上げる　（b）トランジスタを飽和状態までドライブする

〈図6-36〉
波形各部の名称

● ダンパ (damper)

[参] → ダンピング抵抗

● ダンピング抵抗 (damping resistor)

フィルタや選択増幅器の負荷として使用する*LC*共振回路の*Q*を低くし,帯域幅や位相特性を改善するために,*LC*共振回路と並列に接続する抵抗のことで,ダンプ抵抗あるいはダンパともいう.

*LC*共振回路に過渡信号が入る場合,瞬間的に大きな電圧が発生し,ほかの電気部品(とくに半導体)を破損する場合がある.また振動が生じ,長時間にわたって持続することもある.

このような不具合の対策をするために,*LC*共振回路と並列に抵抗を入れることもある.

● リンギング (ringing)

方形波などの急峻な変化をする信号が,回路網を通過したときに生じる波打った波形をいう(図6-36).配線のインダクタンスや,伝送帯域幅の不足などによって生じる.

● オーバーシュート (overshoot)

波形が規定レベルを一時的に越えること,またはその部分(図6-36).

● アンダーシュート (undershoot)

波形が規定レベルを一時的に下回ること,またはその部分(図6-36).

● サグ (sag)

低域通過特性の不良などによって波形が垂れること,またはその部分(図6-36).

機能回路

● VCA回路 (Voltage Controlled Amplifier)

電圧制御によって増幅度を可変することができる回路.

● AGCアンプ (Automatic Gain Control amplifier)

アンプの出力電圧で,可変利得アンプ部の増幅度を制御し,常に出力電圧が一定になるように制御するアンプ.

● DBM (Double Balanced Mixer)

二重平衡変調器.出力電圧は入力電圧とスイッチ信号との積になる.アナログ乗算器,AM変調器/復調器,DSB-SC変調器/復調器,(フィルタと組み合わせて)SSB変調器/復調器,AGCなどの用途がある.

IC化されたものとしては, MC1496, SN16913, SN76514, SN76515などが代表的である.

● ダブル・バランスド・ミキサ

［同］→ DBM

● 二重平衡変調器

［同］→ DBM

● アイソレーション・アンプ (isolation amplifier)

入力端子と出力端子が電気的に絶縁されているアンプ.

アースを個別に取れるので, ノイズの遮断や計器どうしの電圧的なアイソレーションなどに使える. 絶縁にはトランスやフォト・カプラがよく使われる.

● アイソレーション・アンプ[7] (isolation amplifier)

接続される二つの回路の間に, 互いの回路が干渉し合わないようにするために挿入するアンプ. 複数の回路が直列に接続される場合, 送り出し側の回路の出力抵抗が大きい場合, あるいは受け側の回路の入力抵抗が小さい場合には, それぞれの回路の性能が出せないことが多い. このような場合には, 各回路間に入力抵抗が高く出力抵抗が低いアイソレーション回路を挿入すれば良い.

簡単なものではエミッタ・フォロワ回路を使い, 受ける側の回路が複数の場合には, OP アンプでバッファ回路を構成して使うこともある.

信号を送り出す装置と受ける装置との接続距離が数m以上におよぶ場合には, アース・ラインから拾う雑音を除去するために差動アンプの*CMRR* 特性を利用したアイソレーション・アンプを使うこともある.

● フェーズ・ロックド・ループ (phase locked loop)

［同］→ PLL

● PLL[7] (Phase Locked Loop)

位相ロックド・ループ. **図6-37** にブロック図を示す. 出力発振周波数が入力周波数に一致するように, 入力周波数と電圧制御発振器(VCO)の信号を位相比較し, 帰還制御する回路.

● 周波数シンセサイザ (frequency synthesizer)

周波数が安定な水晶発振器などの基準発振器を使い, 周波数を合成して, 精度の高い周波数を得るようにした回路.

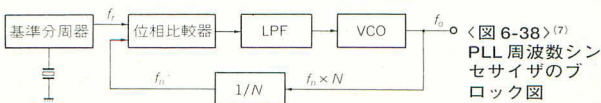
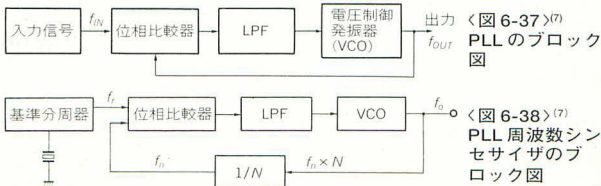
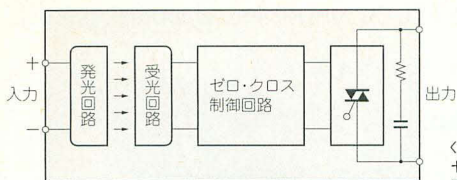
代表として PLL 周波数シンセサイザが挙げられる.

● PLL周波数シンセサイザ (Phase Locked Loop frequency synthesizer)

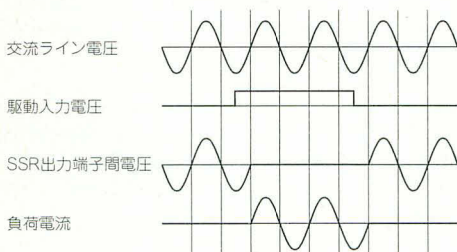
PLL回路によって周波数を合成する回路. **図6-38**にブロック図を示す.

水晶発振器の出力を分周して作る基準周波数f_rと, $1/n$に分周するプロ

〈図6-37〉[7] **PLLのブロック図**

〈図6-38〉[7] **PLL周波数シンセサイザのブロック図**

(a) SSRのブロック図

(b) 動作波形

〈図6-39〉[7] ゼロ・クロス回路

グラマブル・カウンタの出力f_nとを比較する位相比較器があり，位相比較器の直流出力でコントロールされるVCOの発振周波数f_0をプログラマブル・カウンタの入力に接続すれば，f_0は$f_0 = n \times f_r$となり，f_rの任意の整数倍の周波数が得られる．

● **ゼロ・クロス回路**　(zero cross circuit)

交流信号が0Vを交叉するのを検出する回路．

交流信号を電子回路でON/OFFする場合に使われる．代表的なものではゼロ・クロス型ソリッド・ステート・リレーが挙げられる．

ゼロ・クロス型ソリッド・ステート・リレーは，**図6-39**のように交流電圧のゼロ近傍でスイッチをON/OFFすることにより，突入電流および過渡電圧を抑え，スイッチングの際の雑音を少なくし，電波障害を抑制している．

● **SSR**　(Solid State Relay)

半導体交流スイッチ．交流信号のON/OFF，電力制御などに使う．

● **PWM**[7]　(Pulse Width Modulation)

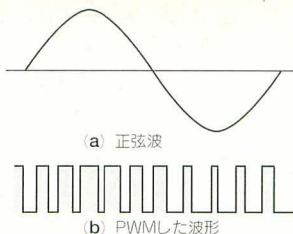
パルス幅変調．変調信号の振幅に応じて，一定周期，一定振幅のパルスの幅を変えて変調するパルス変調方式である．**図6-40**のように，信号波の振幅が大きいときは，パルスの幅は大きくなり，振幅が小さいときは，パルスの幅は小さくなる．

● **アナログ・スイッチ**[7]　(analog switch)

FETやダイオードなどをスイッチ素子として使った電子的スイッチ回路で，アナログ信号を扱うことができるもの．半導体スイッチを指し，機械式のリード・リレーなどは慣例としてアナログ・スイッチとは呼ばない．

〈図 6-40〉(7)
PWM

(a) 正弦波

(b) PWMした波形

一般には半導体スイッチの素子にはダイオード，バイポーラ・トランジスタ，MOSFETなどが使用される．

● 4～20mA カレント・ループ　(4-20 mA current loop)

直流信号伝送の一つの規格．定電流駆動なのでケーブルの直流抵抗が無視できる．最低電流が4mAなので，制御回路の電源として流用できるという特徴をもつ．

ほかに0～20mAなどがよく使われる．

電力増幅回路

● ブリッジ型パワー・アンプ

［同］→BTLパワー・アンプ

● BTLパワー・アンプ　(Balanced Transformerless amplifier)

図6-41のようにパワー・アンプを接続すると，負荷に供給される電圧は2倍になるので，4倍の出力電力を供給できる．低い電源電圧で大出力を得たい場合に使う．

● PP　(push-pull)

［参］→プッシュプル・アンプ

● プッシュプル・アンプ　(push-pull amplifier)

能動素子2個を一組として出力回路を構成するアンプで，各々の素子の入力には，振幅が同じで位相が反転した信号を加え，各出力を合成して出力を得るようにしたアンプ．

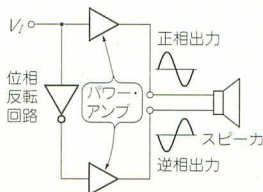
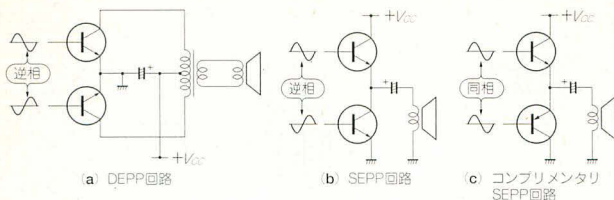
● DEPP　(Double Ended Push-Pull)

二つの同極性トランジスタにそれぞれ逆極性の信号を入力し，出力側ではそれぞれのトランジスタの出力を合成する回路［図6-42(a)］．

出力端子が二つあるので，この名称がある．

二つの出力を合成するために，通常はセンタ・タップ付きの出力トラ

〈図6-41〉 BTL接続

〈図6-42〉 各種プッシュプル回路

(a) DEPP回路　(b) SEPP回路　(c) コンプリメンタリSEPP回路

ンスを使う．

● **SEPP**　(Single Ended Push-Pull)

出力端子が一つのプッシュプル回路［図6-42(b)］．DEPPと違い，出力を合成するための出力トランスが不要である．

● **コンプリメンタリSEPP**　(complimentary SEPP)

SEPP回路の出力に相補的な特性の能動素子を使ったSEPP回路［図6-42(c)］．

極性が逆で電気的特性が似ているPNPトランジスタとNPNトランジスタ，NチャネルFETとPチャネルFETなどを組み合わせる．

● **OTL回路**　(Output Transformerless circuit)

［参］→SEPP

オーディオ・パワー・アンプの出力トランスを不要にした回路．

● **OCL回路**　(Output Capacitorless circuit)

OTL回路において，出力と負荷を結合するコンデンサを不要にした回路．正負2電源が必要だが，電源ON時のポップ・ノイズがない，出力結合用の大容量のコンデンサが不要，低域周波数特性が良いなどの特徴をもつ．

◆第5章および第6章の参考・引用*文献◆

(1) 山賀威，中根正義；オペレーショナルアンプ応用読本，1982年5月30日，(株)オーム社．
(2) 玉村俊雄；OPアンプIC活用ノウハウ，1984年11月1日，p.67，CQ出版(株)．
(3) 上野大平；確実に動作する電子回路設計，CQ出版(株)．
(4) 柳瀬亀吉；電流帰還型OPアンプの徹底研究，トランジスタ技術1994年12月号，pp.277～288(特集第6章)，CQ出版(株)．
(5) 特集，新時代のOPアンプ，トランジスタ技術1981年10月号，CQ出版(株)．
(6) *酒井敏行；アクティブ・フィルタの設計法，トランジスタ技術1995年3月号，pp.303～311，CQ出版(株)．
(7) *鈴木荘一編著；天野尚，竹田吉信，橋本勝，平沢正孝，内田和幸，川村靖明，安藤和正；IC/LSI基礎用語辞典，トランジスタ技術1989年9月号別冊付録，CQ出版(株)．
(8) *鈴木憲次；特集 第9章，発振回路，トランジスタ技術1994年11月号，p.299，CQ出版(株)．

第7章

回路技術, コンバータ, 装置, 規格, 電源用部品, 電源用IC

電源回路の基礎用語

戸川治朗/渡辺明禎/宇仁茂義

回路技術

● **電源** (power supply)

負荷に電力を供給するもので, 一般的に一定電圧(電流)になるように制御されているものが多い. **図7-1**におもな電源の分類を示す.

● **定電圧電源** (constant voltage power supply)

負荷の変動に対して出力電圧を常に一定の設定値に保つ電源.

● **定電流電源** (constant current power supply)

負荷の変動に対して出力電流を常に一定の設定値に保つ電源.

● **レギュレータ** (regulator)

出力電圧(電流)を常に監視して, 出力が一定電圧(電流)になるように制御するもの.

電力の制御方法により二つに大別される.

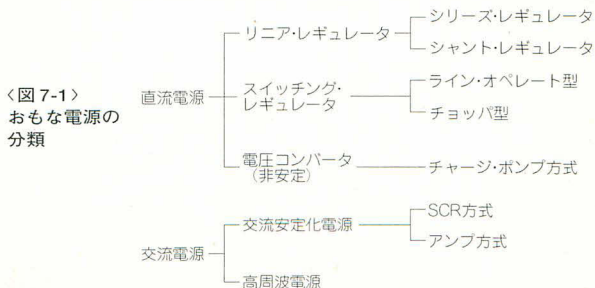
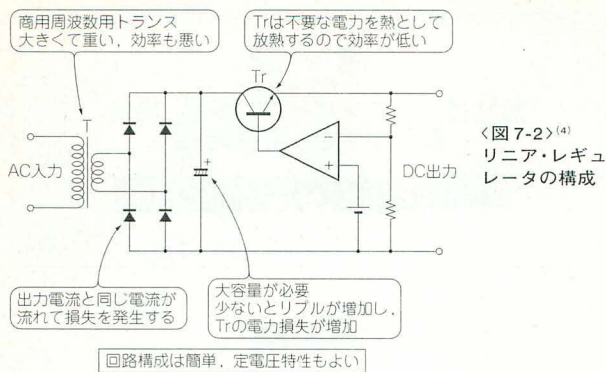
入力から負荷に伝達する電力を連続的に制御するのがリニア・レギュレータ, スイッチの断続によって制御するのがスイッチング・レギュレータである.

● **リニア電源** (linear power supply)

入力から負荷に伝達する電力を連続的に制御して, 出力電圧を制御するもの. 降圧だけに使われ, 制御素子での消費電力が大きい.

スイッチング動作ではなく, 連続的で直線的なアナログ制御によって

〈図7-1〉おもな電源の分類

〈図 7-2〉[4]
リニア・レギュレータの構成

動作する電源回路．図 7-2 に回路図を示す．

ドロッパ型やシリーズ・レギュレータは，ほとんどこれに含まれる．

入力電圧と出力電圧の差を制御トランジスタによって吸収して，定電圧出力を得ることが多い．

出力電圧の精度は良く，リプルやノイズはほとんど発生しない．

一般に内部での電力損失が大きく，電源装置が大型になりやすい．AC100V入力とする場合には，電源トランスでいったん電圧を変換するので重量も重くなる．

また，制御トランジスタの電力損失による温度上昇を抑えるために，大型の放熱器が必要になる．

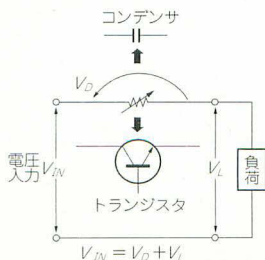
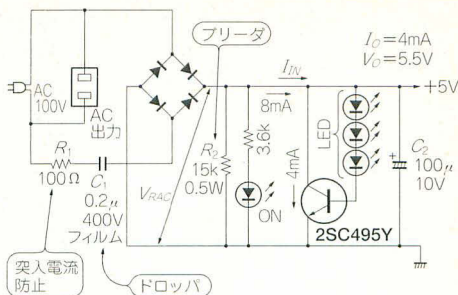
● **リニア・レギュレータ**　(linear regulator)

[同] →リニア電源

● **ドロッパ型レギュレータ**　(dropper type regulator)

出力電圧より高い入力電圧から，電圧を降下させて目的の電圧を得る電源．

図 7-3 に示すようにドロッパとしては可変抵抗，パワー・トランジスタなどが使われる．交流電圧を入力とする場合は，コンデンサを使ったリアクタンス・ドロッパ方式もある．

〈図 7-3〉
ドロッパ方式

〈図7-4〉[3]
リアクタンス・ドロッパ方式の直流電源回路

● リアクタンス・ドロッパ　(reactance dropper)

リアクタンス素子を使って交流電圧を降下させること，またはそのような電源方式．リアクタンス素子を電圧降下用に使うので発熱がなく，小型軽量である．ただし，商用電源の高圧用に使う場合は，出力にふれると感電のおそれがある．小電流の電源に使われることがある．

図7-4の回路ではコンデンサC_1がリアクタンス・ドロッパである．

● ブリーダ抵抗　(bleeder resistor)

出力電圧が無負荷時に上がりすぎないように，常時電流を流すための抵抗器．

図7-4の回路では抵抗R_2がブリーダである．

● シリーズ・レギュレータ方式　(series regulator)

［対］→シャント・レギュレータ方式

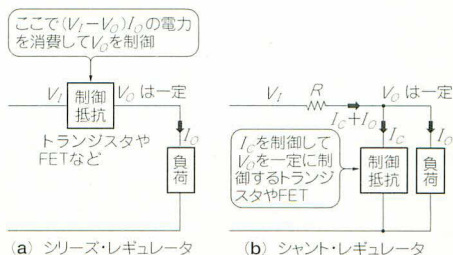
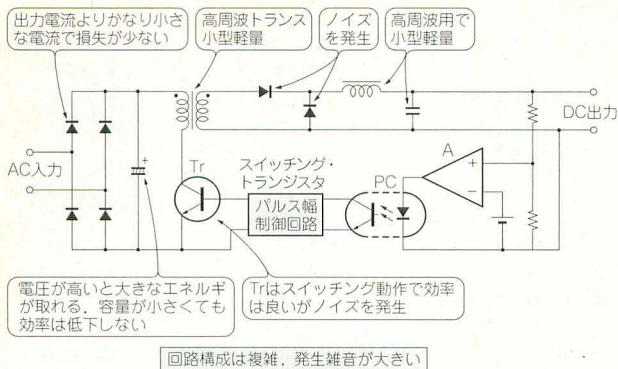
図7-5(a)に示すように，入出力間の等価的な直列抵抗を連続可変して，伝達する電力を制御する方式．等価的な直列抵抗の消費電力が大きくなるので，大容量の電源には向かない．

● シャント・レギュレータ方式　(shunt regulator)

［対］→シリーズ・レギュレータ方式

図7-5(b)に示すように，負荷電流の変化に応じて負荷に並列に設けた等価的な抵抗素子の値を制御して，出力電圧を一定になるようにする方式．

● スイッチング電源　(switching regulator)

〈図7-5〉
シリーズ・レギュレータとシャント・レギュレータ

〈図7-6〉[4] スイッチング・レギュレータ

高い周波数(数十kHz)で電力をスイッチングして，出力電圧を制御するもの．降圧だけでなく，昇圧や正負反転することも可能．

トランジスタの動作が，ONかOFFかのどちらかのモードで常に動作をしている．この時間の比率を変えることによって，直流出力電圧を安定化させる方式である．**図7-6**に回路例を示す．

したがって，制御トランジスタの電力損失は少なく電力変換効率の良い電源となる．また，ON/OFFのスイッチング周波数は数十kHz～数百kHzと高周波であり，トランスはその分小型化できる．

全体として小型･軽量とはなるが，トランジスタのスイッチングに伴うノイズの発生量が大きく，微小信号を扱うアナログ回路などには不向き．

ただし，現在では世の中の直流安定化電源装置の大半がこの方式を採用している．

● **スイッチング・レギュレータ** (switching regulator)

[同]→スイッチング電源

● **商用電源** (commercial power supply)

工業用や家庭用として供給される交流電源をいう．

家庭用では単相交流100Vがもっともポピュラである．その周波数はおよそ静岡県の糸魚川を境にして，関東側は50Hz，関西側は60Hzである．

● **ライン・オペレート型スイッチング電源** (line operating type switching regulator)

入出力間をトランスなどにより絶縁したもので，AC100V入力で直流出力が得られる．スイッチング周波数を高くすることにより，トランスを小型化できる．機器組み込み用のモジュール電源はこのタイプが多い．

● **チョッパ型スイッチング電源** (chopper type switching regulator)

入出力間を絶縁しないスイッチング・レギュレータ．構成はリニア・レギュレータに近くなる．

● **PWM制御** (Pulse Width Modulation control)

スイッチング式電源の直流出力電圧を安定化させるための制御方式．

スイッチング・トランジスタのON時間とOFF時間の割合を変えて，出力電圧を制御する．

出力電圧が低下するとON時間を長くし，上昇すると短くすることによって，常に一定の電圧を保つことができる（図7-7）．

● **PFM**　(Pulse Frequency Modulation)

PWM同様にスイッチング型電源の電圧制御方式の一つ．トランジスタのON時間をいつも固定しておいてOFF時間を変化させる動作．

入力電圧が高くなったり出力電流が減少すると周波数が下がり，逆の条件で周波数が上がる．一般的に周波数の変化範囲は非常に広く，時によっては数kHzから数百kHzの範囲になることもある．

現状では，通常のスイッチング電源にはあまり採用されず，共振型電源装置の制御に採用されることが多い．

● **電力変換効率**　(efficiency of power conversion)

入力電力P_{IN}と出力電力P_{OUT}の比率をもって，その効率を表したもの．電力変換効率ηは，$\eta = P_{OUT}/P_{IN}$で表される．

ηが1に近いほど効率が良く，内部の損失が少ない．その結果，電源装置を小型化することが可能である．出力電圧や電力によって多少の誤差はあるが，スイッチング型電源においては，5V出力で75%以上，24V出力では80%以上が一つの目安になっている．

● **電圧安定度**　(voltage stability)

直流出力電圧の安定度を示す数値．出力電圧は，入力電圧の変動，出力電流の変動，環境温度の変動の3要素で電圧が不安定になる．

電源装置内部の回路設計や使用する部品の選択によって安定度に影響を与える．

● **リプル**　(ripple)

出力に現れる直流以外の成分のこと．リプルはAC50/60Hzを整流した成分のほか，スイッチング電源の場合はスイッチング周波数成分とが加算される．

これは出力の＋と－とのライン間に発生するもので，平滑用コンデンサの静電容量を大きくしたり，制御回路の増幅率つまりゲインを大きくすれば低減できる．

ノイズはスイッチング方式のトランジスタのON/OFFの切り替わり時点で発生するもので，周波数成分が数MHzから数百MHzと広帯域に

〈図7-7〉(4)
PWM制御

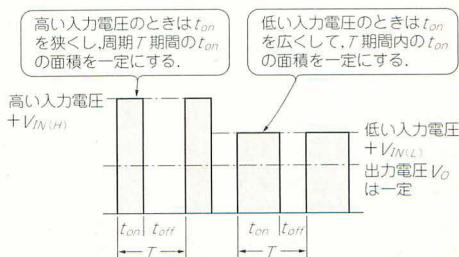
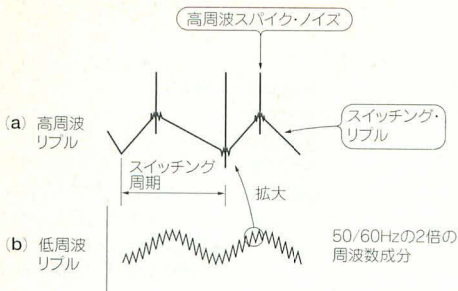
高い入力電圧のときはt_{on}を狭くし,周期T期間のt_{on}の面積を一定にする.

低い入力電圧のときはt_{on}を広くして,T期間内のt_{on}の面積を一定にする.

高い入力電圧 $+V_{IN(H)}$

低い入力電圧 $+V_{IN(L)}$

出力電圧V_Oは一定

t_{on} t_{off} ←T→　t_{on} t_{off} ←T→

〈図 7-8〉
リプル・ノイズ

及ぶ(図 7-8).

● **ノイズ** (noise)

出力端における雑音. ある周波数領域(例えば10Hz～20MHz)における p-p 値として表す場合が多い.

● **整流回路** (rectifier circuit)

交流を直流に変換する回路(図 7-9).

ただし, 整流しただけではまだ完全な直流ではない. これを脈流という.

● **平滑回路** (ripple filter circuit)

整流回路の出力する脈流を直流に近い状態に平滑する回路(図 7-9).

大容量の電解コンデンサを付加して直流化することが多い.

コンデンサ・インプット型とチョーク・インプット型がある.

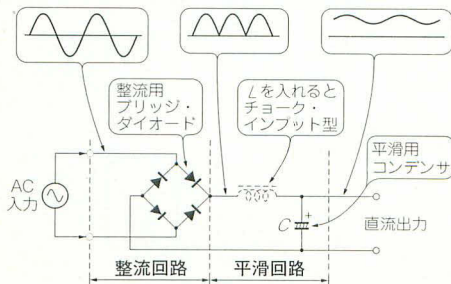
● **脈流** (ripple current)

交流を整流した直後の電流, またはその電流や電圧の波形.

● **突入電流** (in rush current)

入力側電源スイッチをONした瞬間に流れる大きな電流.

平滑コンデンサは, 初期状態で電荷が0に近いために, 電圧が加えられた瞬間に大きな充電電流が流れる. これが突入電流としてACラインに流れる.

また, リニア型電源などに使われる電源トランスは, 電圧がかかった瞬

〈図 7-9〉
整流回路と平滑回路

間に内部のコアが磁気飽和を起こして，平滑用コンデンサへの充電電流とは無関係に単独で突入電流が流れる．

そのために，入力ラインに挿入するヒューズの電流容量は定常状態の電流の2～3倍を使用するのが一般的である．

変圧器に入力電圧を加えた瞬間に流れる電流．

電源投入時の入力電圧の位相角（ゼロで最大），鉄芯の残留磁束で変化する．ピーク値は平常電流の数十倍に達することがあり，これによるACラインの電圧降下で，ほかの機器への障害となることがある．

● **突入電流防止回路**　(in rush current avoiding circuit)

突入電流をなくすために，電源ON後，徐々に電流が流れるように設計されているもの．

● **実効値**　(root mean squared value)

［参］→RMS-DCコンバータ

交流の値を示すときに使われる数値．商用電源電圧AC100Vは，実効値である．

● **ピーク値**　(peak value)

波高値．

サイン波のピーク値は実効値の$\sqrt{2}$倍である．AC100Vの場合のピーク値は約141Vである．

● **pp値**　(peak to peak value)

ピーク・ツウ・ピーク値．p-p値．

● **力率改善回路**　(power factor improvement circuit)

力率とは理論的には交流回路の電流と電圧の位相差ϕを使って，$\cos\phi$で表したものをいう．ただし，実効電力Wと皮相電力$V \cdot A$との比率$W/(V \cdot A)$も同様に力率と呼んでいる（**図7-10**）．

コンデンサ・インプット型整流方式を採用した機器では，たとえ電圧波形がサイン波であっても電流波形はパルス状となり，力率が悪い．その結果，AC商用ラインに50/60Hzの整数倍の高調波を含んでしまい，ノイズ障害などを引き起こす可能性がある．

そこで力率を1に近づけるような整流方式が考案され，採用され始めている．

● **PFC**　(Power Factor Correction)

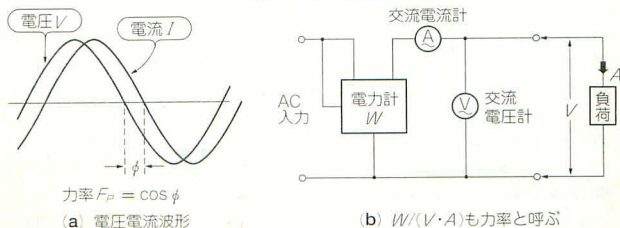
［同］→力率改善回路

〈図7-10〉　力率

電圧V
電流I
ϕ
力率$F_P = \cos\phi$

(a) 電圧電流波形

交流電流計
AC入力
電力計 W
交流電圧計
V
A
負荷

(b) $W/(V \cdot A)$も力率と呼ぶ

● **マグ・アンプ** (Magnetic Amplifier)
コイルをあたかもスイッチ素子のように動作させて，出力電圧を安定化する方式.
コイルは交流に対して高いインピーダンスをもつが，直流電流を流して磁気飽和させるとインダクタンス値を低下させ，低インピーダンスの状態を作ることができる.
この二つの状態をスイッチとして利用して，スイッチング電源のPWM制御と同様に定電圧出力を得る方法.

● **共振型電源** (resonance type power supply)
電源部の電力変換効率を上げ，しかも発生するノイズを低減させようとするために考案された回路.
通常のスイッチング型電源の動作は，電流・電圧波形ともに方形波に近いスイッチング動作である. これに対して，このどちらかあるいは両方をコイルとコンデンサで共振させて，サイン波状の動作をさせるスイッチング電源回路.
単位時間あたりの電流変化率が小さくなり，ノイズの発生量を低減でき，トランジスタの損失も低減できる.
電力の制御方法がかなり困難であるために，現在ではON/OFFの過渡状態だけ共振作用を利用する，部分共振型が主流である.

● **OVP** (Over Voltage Protection)
[同]→過電圧保護

● **過電圧保護** (over voltage protection)
電源装置の部品の破損・劣化などによって，規定値以上に出力電圧が上昇しようとするのを防止する機能. 保護回路の動作点は定格出力電圧の20%アップあたりに設定するのが普通.
サイリスタなどによって電源の出力を停止させる方法が使われる.
電源装置において，出力電圧がOVP設定値を越えた場合に働く保護機能.

● **過負荷保護回路** (over load protector)
[参]→過電流保護回路

● **カレント・リミッタ** (current limiter)
[参]→過電流保護回路

● **CL** (Current Limiter)
[参]→過電流保護回路

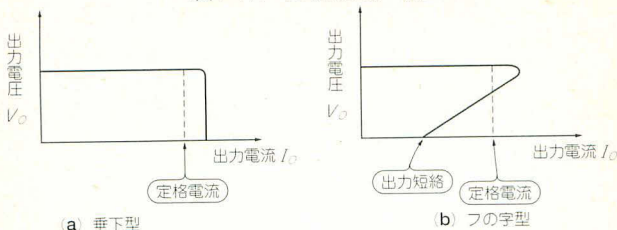
● **OCP** (Over Current Protection)
[同]→過電流保護

● **垂下特性** (pendent character)
[参]→過電流保護

● **フォールド・バック特性** (foldback character)
[参]→過電流保護

● **フの字特性**
[参]→過電流保護

● **過電流保護** (over current protection)
直流出力がなんらかの原因によって短絡したときに，電源内部の部品

〈図7-11〉 過電流保護の特性

が破損するのを防止するための機能.

動作停止型と自動復帰垂下方式とがある.垂下方式には特性として定電流型とフの字型がある.

スイッチング電源では定電流型が一般的に使われる.リニア型電源においては,保護回路の動作時に制御トランジスタの電力損失が非常に大きくなってしまうので,フの字型や動作停止方式が採用される(**図7-11**).

電源装置において,出力電流(負荷電流)がOCP設定値を越えた場合に働く保護機能.

カレント・リミッタともいう.過負荷から電源,や負荷を守るために,負荷電流を制限するもの.垂下特性とフの字特性の2種類がある.

● **OTP** (Over Temperature Protector)

[同]→過熱保護

● **過熱保護** (over temprature protection)

周囲環境温度が異常に高くなったり,冷却用ファンが停止してしまって内部の部品が過熱して,破損や劣化するのを防止する機能.

サーミスタやポジスタあるいはサーモスタットなどを利用して,規定値以上に温度が上昇すると,電源の動作を停止させる.

電源装置の内部や部品などの温度が,OTP設定値を越えた場合に働く保護機能.

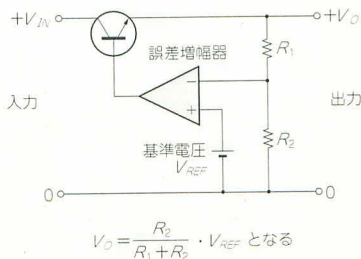
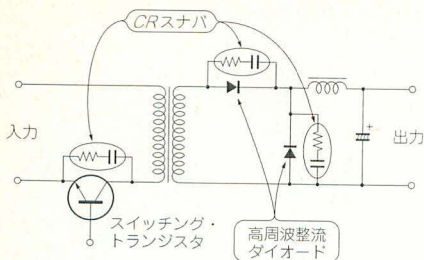
● **基準電圧** (reference voltage)

定電圧電源を構成する際に,出力電圧を常に一定に保つためには内部に安定した電圧源が必要になる.これを基準電圧という(**図7-12**).

ツェナ・ダイオードやバンド・ギャップ・リファレンスICによって作られる.

+V_{IN} +V_O 誤差増幅器 R_1 入力 出力 R_2 基準電圧 V_{REF} 0 0

〈図7-12〉
定電圧制御回路の原理

$$V_O=\frac{R_2}{R_1+R_2}\cdot V_{REF}$$ となる

〈図7-13〉
スナバ回路の
適用例

この電圧精度が直流出力の安定度に直接影響を与える．とくに環境温度の変化に対する安定度は，基準電圧でほぼ決定してしまうため，高精度を要求される特殊な電源では，この部品を小型の恒温槽に入れて定温制御する場合もある．

● **エラー・アンプ**　(error amplifier)

［同］→誤差増幅器

● **誤差増幅器**　(error amplifier)

基準電圧と出力電圧とを常に比較しながら，その誤差を増幅して制御トランジスタへの信号をコントロールする回路(**図7-12**)．

誤差増幅器のゲイン(利得)によって，出力電圧や電流の精度に大きく影響を与える．とくに商用周波数成分のリプルはこれで決定されるので，数百Hz領域でのゲインを高く保たなければならない．

● **スナバ回路**　(snubber circuit)

電流の流れをON/OFFする，いわゆるスイッチ回路において，切り替わりの過渡状態で発生する高いスパイク電圧を防止する回路．

もっとも簡単な回路は，**図7-13**のようにコンデンサと抵抗を直列に接続したものをスイッチの両端に付加したもの．

スパイク電圧は電流の流れる経路の配線などのインダクタンス分によって出るもので，とくにスイッチがOFFした瞬間に大きく出る．

スイッチング電源では，スイッチング・トランジスタや高周波整流用ダイオードが発生源となる．

● **ロイヤー回路**　(Royer circuit)

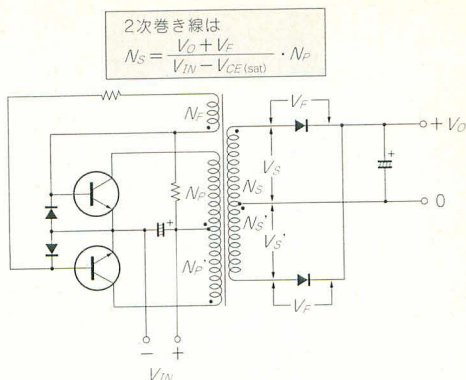
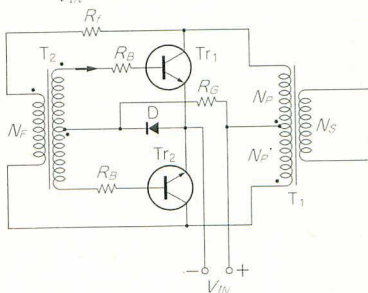
DC-DCコンバータの一種で，スイッチング・トランジスタを2個使って出力トランスとで自励発振をするもの．回路を**図7-14**に示す．

トランスに2次側に巻き線を設けておけば，その巻き数に応じて任意の電圧を得ることができる．ただし，この回路自体は出力電圧を定電圧化する機能はもっていない．

トランスの磁気飽和という現象を利用して発振を継続するために，トランジスタがOFFする瞬間には大きなコレクタ電流が流れて損失が多くなる．そのため高周波動作が難しく，せいぜい数kHzが限度である．

● **ジェンセン回路**　(Jensen circuit)

ロイヤー回路の欠点を解決するために考案された回路で，20kHz程度までの動作が可能なDC-DCコンバータ．**図7-15**に回路図を示す．

〈図7-14〉[4]
ロイヤーの回路

〈図7-15〉[4]
ジェンセンの回路

スイッチング・トランジスタのベース回路に帰還用トランスを設ける．出力トランスではなく，帰還用トランスの磁気飽和を利用するためにトランジスタのOFF時点で大きなコレクタ電流が流れずに済み，さほど大きな損失が発生しない．

● **コッククロフト-ウォルトン回路**　(Cockcroft-Walton circuit)

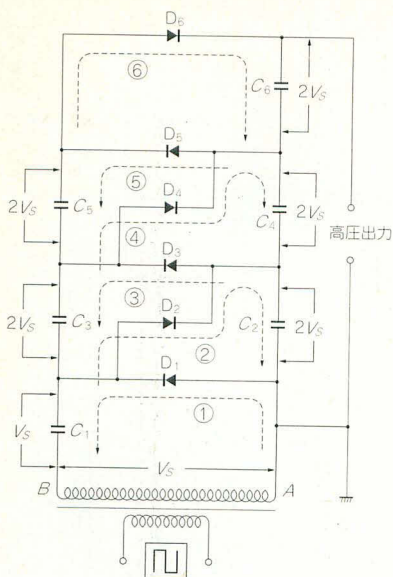
高圧電源を作るときに使われる整流回路方式．多段型整流方式とも呼ばれている(**図7-16**)．

高圧電源を構成するときにトランスの2次巻き線を数多く巻けば，それだけ高い電圧が得られる．

しかし，この場合トランス内部での耐圧を確保するための構造が複雑になるし，整流ダイオードの耐圧の高いものが必要となる．

このコッククロフト-ウォルトン回路では，トランスの端子電圧を何倍にでも倍増することができるので，トランスの電圧はさほど高くする必要はなく，また整流ダイオードも原理的にはトランスの電圧の2倍の耐圧で済む．一般的には4～10倍で構成されることが多い．

もっとも応用されているのが，テレビやCRTのブラウン管の高圧電源である．

● **トラッキング・レギュレータ**　(tracking regulator)

①～⑥まで，半周期ずつ順次
コンデンサを充電していく

〈図 7-16〉(4)
コッククロフト-
ウォルトンの回路

正負両電源を同時に出力する電源装置で，一つの電圧設定で，絶対値の等しい正負両電圧を出力するもの．

正負両電源で動作するOPアンプの実験などに使う．

● **ロード・レギュレーション**　(load regulation)

負荷が変化した場合，出力電圧，もしくは出力電流がどのくらい変化するかを示したもの．

● **ライン・レギュレーション**　(line regulation)

AC入力電圧が変化した場合，出力電圧または出力電流がどのくらい変化するかを示したもの．

● **過渡回復時間**　(transition recovery time)

負荷が急変した場合，出力電圧(電流)が設定値に戻るまでに要する時間．

シリーズ・レギュレータには，この時間の長いものがある．

● **吸い込み電流**　(sink current)

電源に流れ込む電流．

電源は負荷に電流を供給するものであるが，負荷に電圧源を接続した場合，逆に電流が電源側に流れることがある．

最大吸い込み電流の定格値を越えた場合，電源が制御不能になったり，故障の原因となることがある．

● **入力力率**　(input power factor)

電源装置の入力電力の力率．入力力率F_{PI}は，次式で表される．

$$F_{PI}=\frac{P_V}{P_V+P_I}$$

ただし，P_V：有効電力，P_I：無効電力

$F_{PI}=1$，すなわち無効電力が0に近いほうがよい．

● **瞬時停電**　(instantaneous blackout)

ライン電源が瞬間的(数ms～数s)にOFFになること．

● **瞬時電圧低下**　(instantaneous voltage drop)

ライン電源の電圧が瞬間的(数ms～数s)に低下すること．

● **サグ**　(sag)

[参]→瞬時電圧低下

● **瞬時電圧上昇**　(instantaneous voltage up)

外部雑音などにより，瞬間的にライン電源の電圧が上昇すること．

● **サージ**　(surge)

[参]→瞬時電圧上昇

落雷や外部雑音によって，瞬間的にライン電源の電圧が上昇すること．

● **フリッカ**　(flicker)

ライン電源の電圧が周期的に変動すること．

コンバータ

● **DC-DCコンバータ**　(DC to DC converter)

直流電圧から直流電圧を作る電源．入力電圧より出力電圧のほうが大きいものを指すことが多い．

バッテリなどの直流源を直接入力電源として，ある電圧の直流を得るものの総称．比較的小容量のもので，数W～十数Wくらいのものが多い．

入力と出力の間が絶縁されているものと，絶縁されていないものがある．

● **AC-DCコンバータ**　(AC to DC converter)

交流電圧(ライン電源)から直流電圧を作るもの．

● **DC-ACコンバータ**　(DC to AC converter)

[参]→インバータ

直流電圧から交流電圧を作る電源で，インバータとも呼ぶ．

● **デコデコ**

[同]→DC-DCコンバータ

● **インバータ**　(inverter)

直流入力で交流出力のコンバータ．

コンピュータなどに使用される無停電電源装置は，停電などが起きても内部バッテリの直流からAC100Vに変換している．

また，冷暖房機などのインバータ・エアコンは，ライン電圧を整流して直流にしたあと，インバータによって交流出力を得て，モータの回転数な

どを制御している.

● **ステップ・アップ型コンバータ**　(step up type converter)

［同］→昇圧型コンバータ

● **ステップ・ダウン型コンバータ**　(step down type converter)

［同］→降圧型コンバータ

● **昇圧型コンバータ**　(voltage step up converter)

入力電圧より高い出力電圧を得るスイッチング電源. 例えばDC8VからDC12Vの電源を作るようなときに使われる.

図7-17(a)はフライバック型昇圧コンバータの原理図である.

● **降圧型コンバータ**　(voltage step down converter)

入力電圧よりも低い出力電圧を得るときに使われるスイッチング電源. 入力電圧以上の出力電圧を得ることはできない.

図7-17(b)に原理図を示す. スイッチング・トランジスタがONしている期間も, OFFしている期間も合わせて, 全期間で出力側整流平滑用コンデンサへの充電電流が流れている. したがって, 直流出力のリプルは小さく特性は良い.

● **極性反転型コンバータ**　(inverting converter)

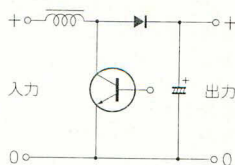
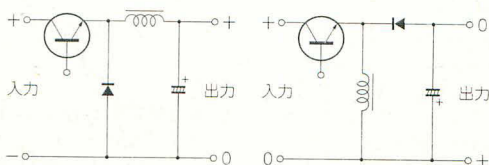
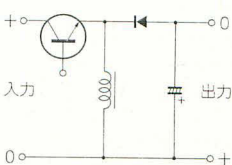
入力電源と逆の極性の出力を得るときに使われる方式. 基本動作モードはフライバック型で, 例えば＋5Vから－12Vを作るようなときに使用する.

図7-17(c)に原理図を示す. 昇圧型と同様にトランジスタがONしている期間にコイルにエネルギを蓄え, OFFしている期間にそれを出力へ供給する.

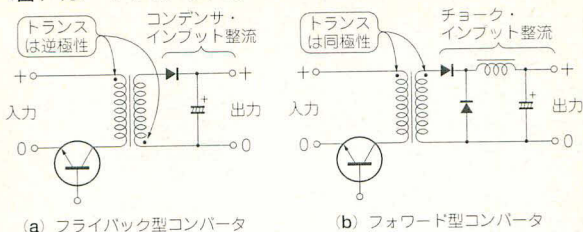
● **オフライン・コンバータ**　(offline converter)

［参］→ライン・オペレート型スイッチング電源

ライン・オペレート型とも呼ばれ, AC100/200Vを入力源として, 直流出力を得るための電源装置をいう. 安全性の面から, 必ず入出力間はト

〈図7-17〉各種コンバータの原理図

(a) 昇圧コンバータ

(b) 降圧コンバータ

(c) 極性反転コンバータ

〈図7-18〉 フライバック型コンバータとフォワード型コンバータ

(a) フライバック型コンバータ　(b) フォワード型コンバータ

ランスによって絶縁されている.

AC入力をいったん整流して直流に変えて,これをスイッチング・トランジスタで高周波電力にし,高周波トランスで必要な電圧に変換する.したがって,スイッチング・トランジスタとしては高圧・大電流型のパワー・トランジスタが使われる.

● **RCC** (Ringing Choke Converter)

トランスに帰還巻き線を設けてスイッチング動作を繰り返す自励発振型コンバータ.

エネルギ伝達方式としてはトランスを使ったフライバック型をとり,入力と出力との間はトランスで絶縁されていることが多い.

入力電圧や出力電流の変化に応じて周波数が大きく変わる.回路構成が簡単で安価にできるという長所がある.

比較的小出力の50～60W程度までの電源として多用されている.

● **リンギング・チョーク・コンバータ**

[同]→RCC

● **フライバック型コンバータ** (flyback type converter)

原理図を**図7-18**(a)に示す.トランジスタがONしている期間にコイルに電力を蓄え,トランジスタがOFFしている期間に,コイルに蓄えた電力を負荷に供給する方式のコンバータ.

小電力の電源に使われることが多い.比較的大きなピーク電流がトランジスタやコイルに流れるので,注意が必要である.

● **フォワード型コンバータ** (forward type converter)

トランジスタがONしている期間に絶縁トランスを通して電力を出力側へ供給する方式.原理図を**図7-18**(b)に示す.

300W程度までの中出力電源に使われている.2次側の整流平滑はチョーク・コイルとコンデンサによる,チョーク・インプット型となる.

高周波スイッチングが可能で,時には500kHz程度の周波数へも応用されている.

電力変換効率は高いが,数MHz以上の高域のノイズ発生量が多い.

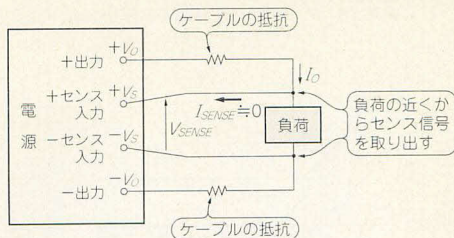
装　置

● **無停電電源**

[同]→UPS

● **UPS** (Uninterruptive Power Supply)
[参]→インバータ
　停電時にも負荷に電力を供給することができる電源．バッテリとDC-AC コンバータで構成される．
● **CVCF電源** (Constant Voltage Constant Frequency power supply)
　定電圧定周波数電源．交流を出力するインバータ電源の一種．
● **VVVF電源** (Variable Voltage Variable Frequency power supply)
　電圧も周波数も可変することができる交流電源．
　VVVF電源は，電子機器を試験するときにAC入力条件を変化させるために使用する．
● **定電圧定電流電源** (constant voltage constant current power supply)
　研究実験用などに使われる直流安定化電源．
　負荷の変動に対して出力電圧または出力電流を常に一定設定値に保つ電源．定電圧モードになるか，定電流モードになるかは，負荷の値と設定値により決まる．
● **CVCC電源** (Constant Voltage Constant Current power supply)
[同]→定電圧定電流電源
● **VVVC電源** (Variable Voltage Variable Current power supply)
[参]→CVCC
　電圧と電流ともに可変可能な電源．
● **AC安定化電源** (AC regulated power supply)
　家庭用ライン電源は変動やひずみが大きい．これを安定にし，純度のよい交流を得るための電源．
● **ACパワー・コントローラ** (AC power controller)
　ライン電源の波形の一部をサイリスタやトライアック(TRIAC)によりON/OFFし，出力電力を制御するもの．
● **高周波電源** (radio frequency power supply)
　交流電源の中で，出力電力の周波数が数十kHz以上と高いもの．
　任意の負荷インピーダンスに整合が取れたり，負荷インピーダンスとして，ショートからオープンまでの値を保証しているものもある．
● **プログラマブル定電圧定電流電源** (programmable constant voltage constant current power supply)
　出力電圧，電流をプログラマブルに設定できる電源．パソコンなどで制御することにより，出力電圧，電流設定値を高速に切り替えることができる．
● **4象限バイポーラ電源** (4 quadrants bipolar power supply)
　4象限に渡り動作可能な電源．
　電力を供給(ソース)することと，吸収(シンク)することの両方ができる．
　負荷の過渡特性，交流特性の測定や誘導性，容量性の負荷の駆動に使われる．
● **電子負荷抵抗器** (electronic load resistor)
　パワー・トランジスタなどに電流を流し，その両端電圧を制御することにより，抵抗器を代用するもの．任意の負荷が得られる．定電流モー

〈図7-19〉
リモート・
センシング

ケーブルの抵抗
+出力 $+V_O$
I_O
電源
+センス入力 $+V_S$
$I_{SENSE} \fallingdotseq 0$
V_{SENSE}
負荷
負荷の近くからセンス信号を取り出す
−センス入力 $-V_S$
−出力 $-V_O$
ケーブルの抵抗

設定電圧が V_{SENSE} になるように電源は出力を制御する.
→ ケーブルの抵抗による電圧降下を補償できる.

ドとしても使える.

● **リモート・センシング**　(remote sensing)

出力端子と制御電圧入力端子(センス入力)を別個に設け,**図7-19**のように接続することにより,負荷までの配線による電圧降下を補償すること.

定電流駆動の場合は,不要である.

● **マスタ・スレーブ接続**　(master slave connection)

複数の電源の出力端子を直列または並列に接続して,出力電力を大きくすること.

設定値を設定できる電源をマスタ,マスタの設定値に基づいて設定される電源をスレーブと呼ぶ.

● **バースト・モード**　(burst mode)

出力電圧,電流設定値をなだらかに変えるのではなく,急激に変えるモード.

規　格

● **安全規格**　(safety standard)

各国が電子機器の安全性に対してある規定を設けている.安全性とは大きく分けて2種類あり,火災に対するものと,感電などの人体に対するものとがある.

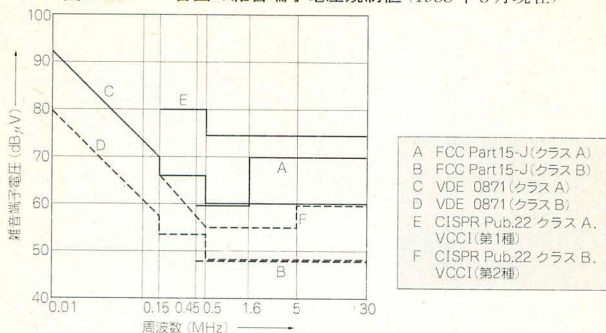
わが国では電気用品取締法があり,米国のULはとくに有名.ULは国の法律とは違い,保険会社が独自に設定した規格である.

そのほかにはドイツのVDE規格やイギリスのBS,カナダのCSAなどがある.

● **雑音規格**　(noise regulation)

近年電子機器の発生する雑音に対して各国が法的な規制を強化している.**図7-20**にそれらを示す.これを雑音規格といい,米国のFCC規格やドイツのVDE規格などが有名で,わが国では現時点では法的な規制はされていない.

通常は電子機器を家庭環境内で使われる民生品的なものと工業用とに分類してあり,規制値が異なる.民生品のほうが規格としてはいずれも

〈図 7-20〉[2]　各国の雑音端子電圧規制値（1988年8月現在）

厳しい.

また，雑音としてはAC電源ラインへ戻る帰還雑音（雑音端子電圧）と大気中に直接出て行く放射雑音とに分けて規定している.

● **UL**　(Underwriters Laboratories, Inc.)

材料，製品，構造，システムなどの安全性を調査し，安全性を認証する米国の非営利機関.

● **FCC**　(Federal Communications Comittee)

米国の連邦通信委員会.

● **VDE**　(VDE Prüf und Zertifizierungsinsttut)

ドイツ電気技術協会認証試験部.

● **CSA**　(Canadian Standards Association)

カナダ規格協会.

● **BS**　(British Standard)

[参]→BSI

● **BSI**　(British Standard Institution)

英国規格協会.

● **CISPR**　(Comité International Spécial des perturbations Radioeléctrique, シスパー)

国際無線障害特別委員会.

● **VCCI**　(Voluntary Control Council for Interference by information technology equipment)

情報処理装置等電波障害自主規制協議会.

電源用部品

● **オート・トランス**　(automatic transformer)

単巻変圧器．1次コイルと2次コイルの一部を共通にし，変圧器を小型にしたもの．したがって，1次側と2次側を絶縁することはできない.

● **スライダック**　(slidax)

単巻変圧器で，2次側を摺動接点にして変圧比を連続的に変えられるよ

うにしたもの．商品名．

電源用IC

● **定電圧IC** (voltage regulator IC)

可変出力型のレギュレータで，保護回路，基準電源を内蔵しており，それだけでも100mA程度は出力できる．外部にパワー・トランジスタを付ければ容易に電流容量を増大できる．

● **3端子レギュレータ** (3-terminal regulator)

あらかじめ設定された定電圧出力が得られるIC．

正負出力，100mA～1A，2V～24V程度のものが販売されている．

正電圧レギュレータμA7800シリーズ(フェアチャイルド)の相当品，負電圧レギュレータμA7900シリーズ(同)の相当品がもっともポピュラである．

● **3端子可変電圧レギュレータ**

出力電圧が可変できる定電圧レギュレータIC．

正負出力，100mA～1A，2V～24V程度のものが販売されている．

正電圧レギュレータLM317シリーズ(ナショナルセミコンダクター)がもっともポピュラである．

● **4端子レギュレータ** (4-terminal regulator)

3端子レギュレータに設定電圧制御のための端子を付けたもの．

μA78MGシリーズなどがある．

● **ドロップ・アウト電圧** (dropout voltage)

3端子レギュレータなどの電源用ICが正常に動作するために必要な入力端子と出力端子間の電圧．電池駆動機器ではドロップ・アウト電圧の小さい電源用ICを選択する必要がある．

● **電圧コンバータIC** (voltage converter)

入力電圧を任意の電圧に変換するIC．

● **シャント・レギュレータIC** (shunt regulator)

並列制御型の電圧レギュレータ．

TL431Cは出力電圧可変型のシャント・レギュレータで，急峻な立ち上がり特性をもっているのでツェナ・ダイオードとしても使用できる．

◈第7章の参考・引用*文献◈

(1) 宮崎仁；特集 実験研究電源用ICのすべて，トランジスタ技術1994年1月号，pp.208～312，CQ出版(株)．

(2) *社団法人日本電子機械工業会，スイッチング電源の現状と動向'89．

(3) *大野剣太；セイフティ・タップの製作，トランジスタ技術1991年11月号別冊付録，エレクトロニクスAPPETIZER，pp.33～34，CQ出版(株)．

(4) *戸川治朗；実用電源回路ハンドブック，CQ出版(株)．

第8章

一般, 回路図エディタ, 言語設計, システム設計, 回路シミュレータ

CAD/CAEの基礎用語

松本一之/宇仁茂義

一　般

● **CAE**　(Computer Aided Engineering)

コンピュータによる工学支援や, そのためのツールの総称.

コンピュータの開発当初から論理回路の検証などにはじまり, 回路図エディタ, PCBCADおよび回路シミュレータを中心に普及した.

最近では言語による回路設計手法の確立とともに自動的に回路を設計するツールも出てきている.

● **CAD**　(Computer Aided Design)

コンピュータによる設計支援や, そのためのツールの総称. 電気回路設計では回路図エディタを指す場合が多い.

● **EDA**　(Electronic Design Automation)

電気回路の設計, 検証を自動的に行うこと. また, それらのツールをEDAツールと呼ぶ.

● **ESDA**　(Electronic System Design Automation)

通常EDAより抽象化のレベルの高いシステム・レベルから自動設計, 検証を行うこと. 状態遷移図, フロー・チャートなどからHDL言語を生成するものを指すことが多い.

● **HLDA**　(High Level Design Automation)

[同] → ESDA

● **SLDA**　(System Level Design Automation)

[同] → ESDA

回路図エディタ

● **回路図エディタ**　(schematic editor)

回路図を入力するためのCAD. 各種のライブラリを呼び出すことにより, ゲート・アレイから基板の設計まで使用することができる.

また, 一般にはネット・リストを出力することからPCBCAD, シミュレータなどの別のツールとのマン-マシン・インターフェースとして使用されることが多い.

● **スケマチック・キャプチャ**　(schematic capture)

［同］→回路図エディタ

● **キャプチャ**　（capture）

［同］→回路図エディタ

スケマチック・キャプチャの略称.

● **スキーマ**　（schema）

［同］→回路図エディタ

スケマチック・キャプチャの略称.

● **ハイアラーキカル設計**　（hierarchical design）

［同］→階層設計

● **階層設計**　（hierarchical design）

機能ごとに作成した図面をほかの図面から呼び出し，回路図を階層化して設計すること．トップ・ダウン設計に適している.

● **シンボル**　（symbol）

回路図エディタ上で使用される部品の記号．シンボルを作成するエディタのことをシンボル・エディタと呼ぶ．図8-1は4ビット・カウンタのシンボルの一例である.

〈図8-1〉[1]
シンボルの例

● **ネット・リスト**　（net list）

回路の接続状態を表現したデータ.

ネット・リストの出力の有無が回路図エディタとドロー・ツールのようなお絵かきソフトとの大きな相違点である.

● **ドロー・ツール**　（draw tool）

図面を描くためのソフトウェア．図面を清書するのが目的であり，ネット・リストなどの電気的情報は認識されない.

● **EDIF**　（Electronic Design Interchange Format，イーディフ）

ネット・リストを標準的に記述する方法の一つで，EDAツール間でデータを交換する場合に使用する．いくつかの方言がある.

● **コンパイル**　（compile）

入力したデータから出力するデータを自動作成すること．言語設計，回路図エディタなどで設計したデータからネット・リストを生成することを指す.

● **ライブラリ**　（library）

ツールが頻繁に使用するデータをまとめたもの．ライブラリ・ファイル.

回路図エディタの場合は部品のシンボルをまとめたものをシンボル・ライブラリという．SPICEの場合は，部品とそのパラメータをまとめたものをライブラリという.

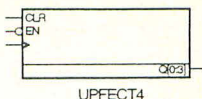
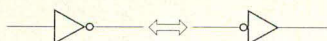
● **DRC**　（Design Rule Check）

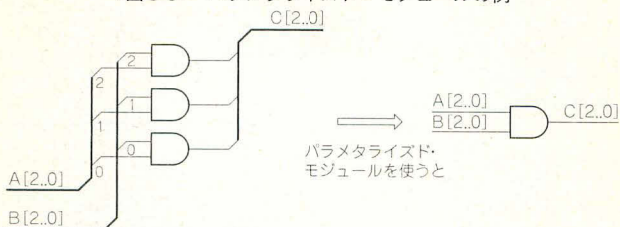
設計基準チェック.

たとえば，出力が衝突している，ファン・アウト数が一定以上，未接続のCMOS入力がある，などをチェックすること.

● **バック・アノテート**　（back annotate）

結果を入力に反映すること.

たとえばコンパイル結果を変更したときに，その結果を入力ファイルに反映すること.

一般
回路図エディタ
言語設計
システム設計
回路シミュレータ

〈図8-2〉 ステート・インジケータの使い分け

〈図8-3〉 パラメタライズド・モジュールの例

たとえば，基板用の回路図エディタで回路図を描き，ネット・リストを出力し，ネット・リストからアート・ワーク・パターンを生成したときに，アート・ワークに加えた修正を，元の回路図ファイルに反映すること．

論理シミュレータの場合は配置配線後の伝搬遅延情報などを図面に反映すること．

● **ステート・インジケータ** (state indicator)

論理回路の負論理，正論理を区別するための記号(図8-2)．

正しく使用することにより，可読性が向上する．

バブルともいう．

● **バブル** (bubble)

[参]→ステート・インジケータ

● **パラメタライズド・モジュール** (parameterized module)

外部からバス入力数などを与えられた変数により最適化されるシンボル(図8-3)．

● **LPM** (Library of Parameterized Module)

標準のパラメタライズド・モジュールのライブラリ．

言語設計

● **HDL** (Hardware Description Language)

電気回路を記述するための言語．

使用する言語によりさまざまな違いがある．特定のデバイスに依存しない設計が可能なため，回路図による設計に徐々に置き換わりつつある．

● **VHDL** (VHSIC Hardware Description Language)

VHSICの仕様記述用に米国国防省を中心に標準化されたHDL．

言語仕様が論理記述からアナログ回路の動作記述まで可能にするための，各種ライブラリ，パッケージが用意されている．リスト8-1に記述例を示す．

〈リスト8-1〉[2]　VHDLによる4ビット・カウンタの記述例

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;

entity COUNT4 is
   port ( CLK,RESET : in  std_logic;
           COUNT : out std_logic_vector(3 downto 0)
   );

end COUNT4;

architecture RTL of COUNT4 is

signal COUNT_IN : std_logic_vector(3 downto 0);

begin

   COUNT <= COUNT_IN;

   process (CLK,RESET) begin

      if(RESET='1') then

         COUNT_IN <= "0000";

      elsif(CLK'event and CLK='1') then

         COUNT_IN <= COUNT_IN + '1';

      end if;

   end process;
end RTL;
```


● **VHSIC**　(Very High Speed Integrated Circuit)
[参]→VHDL

● **Verilog-HDL**　(Verilog Hardware Description Language)
米国Cadence Design System社により開発されたシミュレーション用言語から標準化されたHDL.
米国のASICベンダが標準としてサポートしている場合が多い．リスト8-2に記述例を示す.

● **ABEL-HDL**　(Advanced Boolean Expression Language-HDL)
米国Data I/O社が開発したHDL.
とくにCPLDやFPGAの設計でよく使用される(リスト8-3).

● **AHDL**　(Altera-HDL)
米国アルテラ社が自社のCPLD, FPGA用に開発したHDL.
ABEL-HDLと同様にCPLD, FPGAなどに使用した場合，ほかのHDLと比較して，効率的な論理合成が可能な場合がある.

● **RTL**　(Register Transfer Level)

〈リスト 8-2〉[3]　Verilog-HDL による 4 ビット・カウンタの記述例

```
// 加算演算子による4ビット・カウンタ（非同期リセット）
module counter( ck, res, q );
input           ck, res;
output  [3:0]   q;
reg     [3:0]   q;

always @( posedge ck or posedge res ) begin
    if ( res )
        q <= 4'h0;
    else
        q <= q + 4'h1;
end

endmodule
```

〈リスト 8-3〉[4]　ABEL-HDL による 4 ビット・カウンタの記述例

```
                   ATB4    device;
        Q3,Q2,Q1,Q0            pin;
        CLOCK,A_RESET          pin;

    H,L,X,C    = 1,0,.X.,.C.;
    Q3,Q2,Q1,Q0 istype 'reg_D,buffer';
    COUNT = [ Q3,Q2,Q1,Q0];

equations

    COUNT.clk  =  CLOCK      ;
    COUNT.d    =  COUNT.q + 1;
    COUNT.ar   =  A_RESET    ;

test_vectors
            ( [CLOCK,A_RESET] -> [COUNT])
              [    0,      1] -> [    0];
              [    C,      0] -> [    1];
              [    C,      0] -> [    2];
              [    C,      0] -> [    3];
              [    C,      0] -> [    4];
              [    C,      0] -> [    5];
              [    C,      0] -> [    6];
              [    C,      1] -> [    0];
              [    C,      1] -> [    0];
              [    C,      0] -> [    1];

end IF07
```

回路をフリップフロップ＋組み合わせ論理回路で表現したレベルのこと．現在のHDLによる回路設計はおもにこのレベルの記述を使用する．

● **ビヘイビア・レベル**　(behavior level)

一般的にソフトウェア言語と同様な複雑な制御構造をもち，テスト・ベンチを記述するときによく使用する記述．

● **動作記述レベル**　[同]→ビヘイビア・レベル

● **ロジック・シンセシス**　(logic synthesis)

HDLからASICに配置可能なゲート・レベルのネット・リストを生成

すること.

● **論理合成**

[同] →ロジック・シンセシス

システム設計

● **デザイン・エントリ** (design entry)

回路図および言語設計のソース・リストなどを入力すること, またはそのための環境.

● **タイミング・チャート** (timing chart)

[同] →タイムチャート

● **タイムチャート** (time chart)

回路仕様を記述する方法の一つ. おもにテスト・ベクタを生成するために利用される. データ・パスなどの入出力関係を記述するのに適している.

● **ステート・ダイヤグラム** (state diagram)

状態遷移を記述するための図 (**図 8-4**).

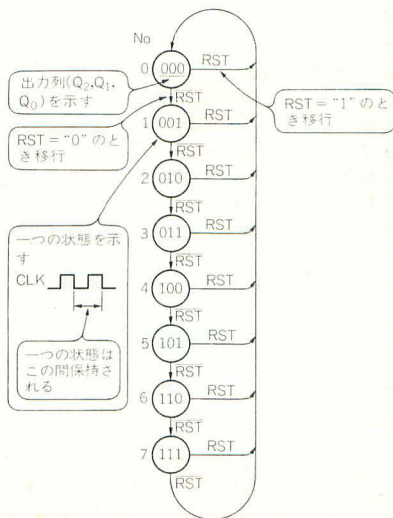
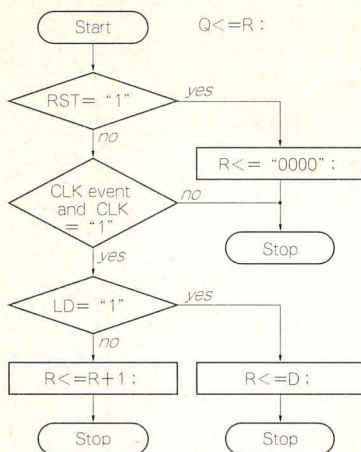
動作を感覚的に把握しやすい, 並列処理の記述が容易などの特徴がある.

● **バブル・ダイヤグラム** (bubble diagram)

[同] →ステート・ダイヤグラム

● **状態遷移図**

[同] →ステート・ダイヤグラム

〈図 8-4〉[5] **ステート・ダイヤグラムの例** (3 ビット・カウンタ)

〈図8-5〉[6]
フロー・チャートの例
(4ビット・カウンタ)

● **フロー・チャート**　(flow chart)

流れ図. ソフトウェアで使用されてきた流れ図をハードウェア設計に転用したもの. アルゴリズムを容易に記述することが可能である(図8-5).

● **テスト・ベクタ**　(test vector)

設計した回路が仕様を満足するか評価するために使用するデータ.

● **テスト・ベンチ**　(test bench)

ウェーブフォーム・エディタなどを使用してテスト・ベクタを生成する環境のこと.

言語設計においては自動的にテスト・ベクタを生成する記述を追加し, シミュレーション対象を含めてテストする記述のこと.

● **ファンクション・シミュレーション**　(function simulation)

論理回路のシミュレーションにおいて, 伝搬遅延などを考慮に入れず論理機能だけのシミュレーションを行うこと.

● **タイミング・シミュレーション**　(timing simulation)

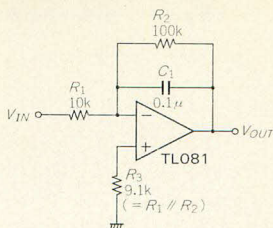
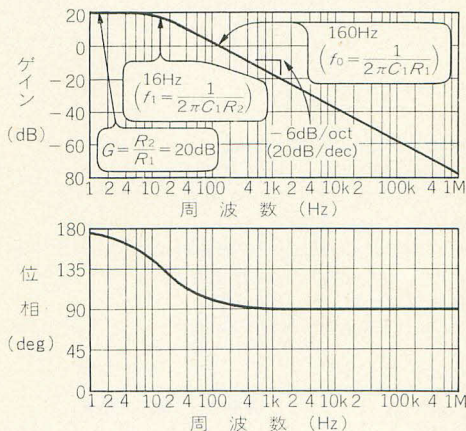
論理回路のシミュレーションにおいて, 配置配線後の伝搬遅延などの情報を取り入れてシミュレーションを行うこと.

回路シミュレータ

● **SPICE**　(Simulation Program with Integrated Circuit Emphasis, スパイス)

カリフォルニア大学バークレイ校で開発された回路解析を行うシミュレータ. アナログ・シミュレーションを行うCADを一般的にSPICEと言っている場合もある.

● **DC解析**　(DC analysis)

〈図 8-6〉[7]
積分回路

〈図 8-7〉[7]
図 8-6 の回路のAC解析

入力に DC 電源を接続して，入出力特性を求めること．

● **AC 解析** (AC analysis)

サイン波を入力し，利得，位相特性を求めること．ボード線図，ナイキスト線図が簡単に得られる．

図 8-6 に示す積分回路の AC 解析の結果を図 8-7 に示す．

● **トランジェント解析** (transient analysis)

入力にサイン波，ステップ関数などを入力して，過渡特性を求めること．TR 解析，過渡特性解析と呼ぶ場合もある．

図 8-6 に示す積分回路のトランジェント解析の結果を図 8-8 に示す．

● **DFT 解析** (Discrete Fourier Transform analysis)

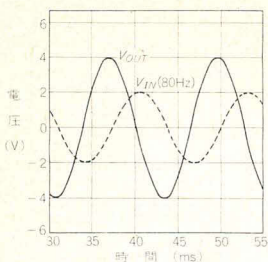
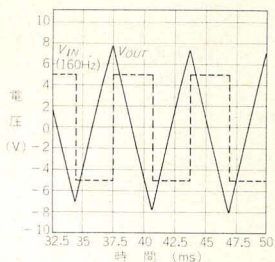
トランジェント解析した結果を DFT 変換し，時間軸上の特性を周波数軸上に展開することにより特性を解析すること．スペクトラム解析とも言う．

● **スペクトラム解析** (spectrum analysis)

シミュレーション結果を周波数軸上に展開することにより特性を解析すること．

● **周波数解析** (frequency analysis)

[同] →スペクトラム解析

〈図8-8〉[7] 図8-6の回路のトランジェント解析の結果

(a) サイン波の例

(b) 方形波の例

● **モンテカルロ解析** (Monte Carlo analysis)

乱数により部品の定数を精度以内でばらつかせて,結果を累積分布関数ヒストグラムなどで表示し特性の変化を求めること.

● **パラメトリック解析** (parametric analysis)

AC解析,DC解析などの各種解析において,温度,回路定数などを変化させて,一つの結果に表示すること.

● **サブサーキット** (sub circuit)

頻繁に使用する回路をまとめたもの.ライブラリに登録して使用する.

◆参考・引用*文献◆

(1) *クイックロジック社製品データ・ブック1996～97,第1版第1刷改訂1,pp.4～33,1996年,インターニックス(株).

(2) *長谷川裕恭;VHDLによるハードウェア設計入門,初版,p.63,1995年,CQ出版(株).

(3) *小林優;入門Verilog-HDL記述,初版,p.25,1995年,CQ出版(株).

(4) *三上れんじ;ABELによるPLD高速設計のためのロジック・プログラミング実践研究,インターフェース1993年3月号,p.163,CQ出版(株).

(5) *山崎誠一;ロジック回路設計の基礎と同期式回路設計法,トランジスタ技術1990年11月号,p.414,CQ出版(株).

(6) *セイコー電子工業(株)システム営業一部営業技術一課;Verilog-HDLユーザのためのVisualHDL設計ガイド(VisualHDL v.2.5.2(PC&UNIX)対応 暫定 第0.7版),p.25,セイコー電子工業(株).

(7) *苗手英彦;CAEで学ぶOPアンプ回路入門,初版,pp.53～55,CQ出版(株).

★次号（5月号）の別冊付録は続編の「エレクトロニクス用語辞典Ⅱ」です！

〒170-8461
東京都豊島区巣鴨1-14-2
CQ出版株式会社